

doi: 10.7690/bgzd.2020.08.001

一种基于 DSP+FPGA 的多路串口和以太网通信系统

李鹏启, 李娟亚, 代波, 程玉振, 曹雷
(西北机电工程研究所三部, 陕西 咸阳 712099)

摘要: 为满足以太网、CAN 总线和多路串口通信的需求, 设计一种基于 DSP+FPGA 的多路串口和以太网通信系统。介绍基于 DSP+FPGA 多路串口及以太网通信系统组成和工作原理, 分别对 DSP 电路、FPGA 电路、电源电路的组成结构进行说明, 对系统软件的功能进行阐述。应用结果表明: 该通信系统具有运行稳定、性能可靠等优点, 可满足项目研制的需求。

关键词: 多路串口; 以太网; DSP; FPGA

中图分类号: TP27 **文献标志码:** A

A Multiplex Serial Port and Ethernet Communication System Based on DSP+FPGA

Li Pengqi, Li Juanya, Dai Bo, Cheng Yuzhen, Cao Lei

(No. 3 Department of Northwest Institute of Mechanical & Electrical Engineering, Xiayang 712099, China)

Abstract: In order to meet the requirements of Ethernet, CAN head office and multi-channel serial port communication, a multi-channel serial port and Ethernet communication system based on DSP + FPGA is designed. Introduce the composition and working principle of DSP + FPGA-based multi-channel serial port and Ethernet communication system, and explain the structure of DSP circuit, FPGA circuit, and power circuit respectively, and explain the functions of system software. The application results show that the communication system has the advantages of stable operation and reliable performance, and can meet the needs of project development.

Keywords: multi-channel serial port; Ethernet; DSP; FPGA

0 引言

研制一种多路串口和以太网通信系统, 需具有 LAN 接口、40 路独立 RS-422 接口和 CAN 总线。LAN 接口和 CAN 总线接口可与 40 路 RS422 接口实现双向数据通信, 各接口可并行完成通信工作。RS-422 接口可通过软件控制兼容完成 40 路 RS-485 通信功能。系统具有数据缓存功能, RS-422/RS485 通信速率不小于 2 Mbit/s, CAN 通信速率不小于 1 Mbit/s, LAN 通信 10/100/1 000 Mbit/s 自适应。

为满足上述需求, 笔者选用 DSP 处理器+FPGA 的架构, DSP 主要实现千兆以太网, FPGA 主要实

现 RS-422(RS-485)通信和 CAN 通信, DSP 和 FPGA 之间通过 EMIF 总线连接进行通信。经应用结果验证可知: 该系统技术成熟、集成度高、功耗低, 运行可靠, 满足项目研制需求。

1 系统组成及工作原理

系统采用 DSP 处理器+FPGA 的架构形式, DSP 选用 TI 公司生产的双核数字信号处理器 TMS320C6672, FPGA 选用 XILINX 公司的 Kintex-7 系列低功耗型 XC7K325T, DSP 和 FPGA 之间通过 EMIF 总线连接进行通信控制。系统原理如图 1 所示。

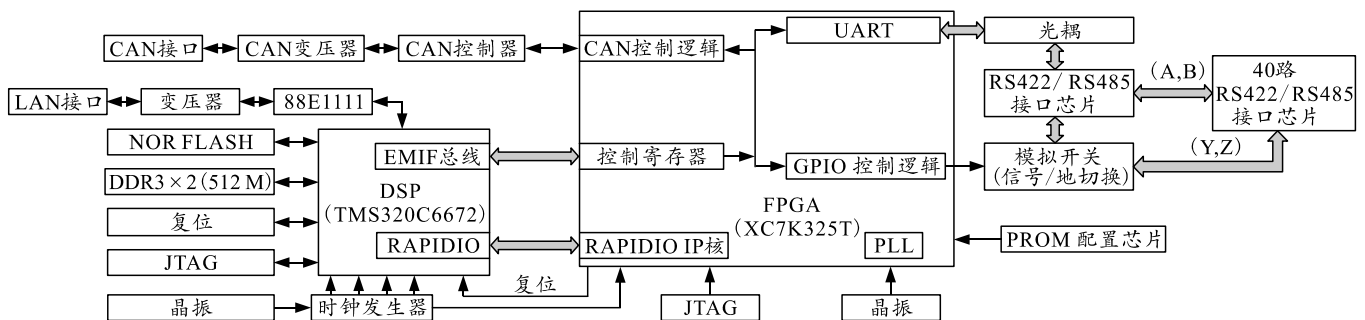


图 1 系统原理

收稿日期: 2020-04-16; 修回日期: 2020-05-18

作者简介: 李鹏启(1979—), 男, 陕西人, 学士, 高级工程师, 从事火炮控制系统研究。E-mail: lpqbox@163.com。

DSP6672 处理器支持 10/100/1 000 Mbit/s 以太网控制器, 内部集成 MAC, 可配置成 RGMII、SGMII 接口, 外部通过扩展 PHY 芯片 88E1111 和变压器 WE-MIDCOM 实现 10/100/1 000 Mbit/s 以太网通信接口^[1]。系统通过 FPGA 内部的 IP 核实现 40 路 RS422 串口控制器。40 路串口接口转换芯片采用 MAX3079E, 兼容 RS-422/RS485 模式。FPGA 控制 SJA1000+变压器实现 CAN 总线接口。DSP 与 FPGA 之间通过外部 EMIF 并行总线接口进行连接, 并且预留高速 RapdiIO 接口增加数据传输带宽^[2]。DSP 配置 2 Gbit DDR3、128 Mbit SPI NORFLASH 和 256 Mbit 并行 NORFLASH, 可实现数据缓存功能。

2 硬件设计

2.1 DSP 电路

为满足系统升级的需求, 选用 TI 公司高性能的 TMS320C6672DSP 处理器。C6672DSP 是一款基于 TI 的 KeyStone 多核架构的最高性能定点/浮点 DSP。该器件集成了创新的 C66xDSP 内核, 能以高达 1.5 GHz 的内核运行速度, 完全向后兼容所有现有的 C6000 系列定点和浮点 DSP。C6672DSP 集成了大量的片上存储器。除了 32 kB 的 L1 程序和数据缓存之外, 每个内核还有 1 024 kB 的专用存储器, 可配置为映射的 RAM 或缓存。所有 L2 存储器均包含检错与纠错功能。该器件包含一个以 1 066 MHz 频率运行的 32 位 DDR-3 外部存储器接口 (EMIF), 用于快速访问外部存储器。该处理器支持多种高速标准接口, PCIeExpressGen2、RapidIO 和千兆以太网, 包括 I2C、SPI、UART、一个 16 位异步 EMIF 接口以及通用 IO^[3]。

TMS320C6672 的存储器由 2 Gbit DDR3、128 Mbit SPI NORFLASH 和 256 Mbit 并行 NORFLASH 组成。DDR3DRAM 采用 2 片 K4B1G1646E-HCH9(4bank)作为系统内存, 每片的数据宽度为 16 bit, 每片具有 4 个 bank, 单片具有 1 Gbit 的存储容量。DSP6672 使用专用的 DDR3 控制器接口与 DDR3 芯片连接, 组成结构如图 2。

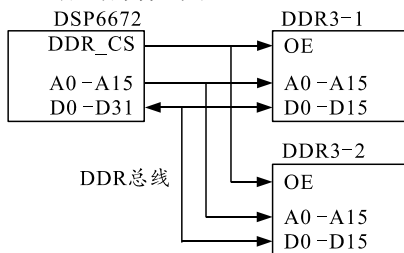


图 2 DDR3 构成

SPIFLASH 采用 1 片 SPI 接口的 N25Q128A13ESF40 用于程序存储。单片具有 128 Mbit 的存储容量。DSP6672 使用 EMIF 接口的 EMIF_CS0 片选与 SPIFLASH 进行连接, 组成结构如图 3 所示。

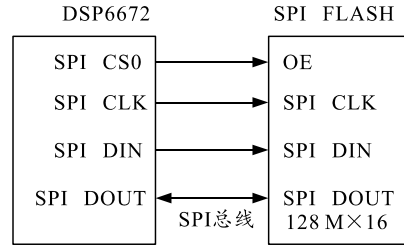


图 3 SPI FLASH 构成

NORFLASH 程序存储采用 1 片 16 bit 位宽的 S29GL256N90TFI020, 主要用于后续的系统设计。单片具有 256 M 字节的存储容量。DSP6672 使用 EMIF 接口的 EMIF_CS0 片选与 NORFLASH 进行连接, 组成结构如图 4 所示。

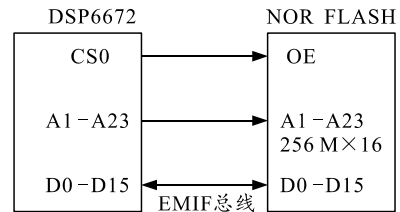


图 4 NORFLASH 构成

DSP6672 处理器支持 10/100/1 000 Mbit/s 以太网控制器, 内部集成 MAC, 可配置成 RGMII、SGMII 接口, 外部通过扩展 PHY 芯片 88E1111 和变压器 WE-MIDCOM 实现网络通信。

系统共采用 5 个参考时钟, 分别是 FPGA 系统使用的 14.745 6 MHz 时钟、DSP 内核使用的 100 MHz 时钟、DSP 网络使用的 100 MHz 时钟、DDR3 使用的 66.666 6 MHz 时钟及 RapidIO 使用的 312.5 MHz 时钟, 其余时钟通过 FPGA 内部倍频转换获得。

2.2 FPGA 电路

FPGA 拟采用 XILINX 公司生产的 Kintex-7 系列低功耗型 XC7K325T。XC7K325T 采用先进的制造工艺, 具有极低的静态和动态功耗, 内部包含 325 000 个逻辑单元的可编程逻辑资源, 4 000 kbit 的内部 RAM, 满足系统资源需求, 还有冗余量^[4]。XC7K325T 与 CPU 间通过外部 EMIF 并行总线接口进行连接, 并且预留高速 RapdiIO 接口增加数据传输带宽^[5]。

40 路 RS422 串口控制器使用 FPGA 实现, FPGA 内部实现单路 UART 的构成如图 5^[6]所示。

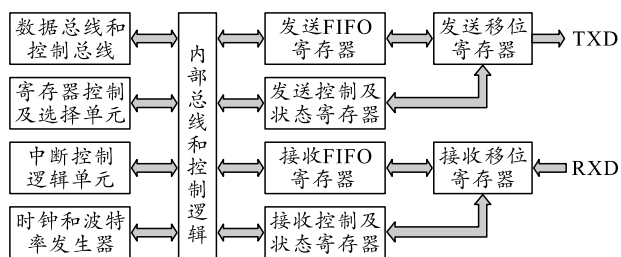


图 5 UART 构成

RS422 的串口控制器通过 FPGA 内部的 IP 核实现，每个发送器都含有 4 096 byte 的 FIFO 深度，每个接收器都含有 2 048 byte 的 FIFO 深度。串口特性和波特率可编程，数据位 5、6、7 或 8 位可编程，校验奇、偶或无校验位可编程，停止位 1、1.5 或 2 位可编程^[7]。串口具有无效的起始位检测、总线空闲超时检测，并具有完善的系统中断控制，独立的发送、接收、线路状态中断控制，完善的内部错误检测机制^[8]。40 路串口接口转换芯片采用 MAX3079E，芯片兼容 RS-422/RS485 模式，3.3 V 供电，具有 ±15 kV ESD 保护，器件包含失效保护电路，当接收器输入开路或短路时保证接收器输出逻辑高。当端接总线上的所有发送器被禁止（高阻抗）时，接收器输出逻辑高。MAX3079E 具备热插拔功能，能在上电或热插过程中消除错误扰动。可通过引脚选择，支持 250、500 kbit/s 和 16 Mbit/s 的传送速率。为保证系统安全，所有串口采用光耦进行信号隔离，其光耦后端采用隔离电源模块进行供电。为确保系统在上电和 FPGA 加载期间避免串口出现乱数，增加了延时控制电路来控制给串口供电的隔离电源模块的使能输出，延时时间大约 1.5 s，保证在 FPGA 加载完成后，40 路串口才开始上电的工作。

CAN 接口采用 FPGA 控制 SJA1000+变压器实现，符合 CAN2.0B 规范，最大传输速度为 1 Mbit/s。

2.3 电源电路

为增强系统的可靠性，消除上电过程中的不稳定因素，系统上电启动本系统的上电时序流程为：当系统电压 3.3 V 电源正常后，优先启动 FPGA，FPGA 启动完成后再控制 DSP 上电启动时序。所有的接口电路都是由 FPGA 实施控制。该控制的好处是先让外围接口优先工作起来，达到稳定的受控状态后，再启动 DSP 开始工作。

FPGA 和 DSP 芯片各种供电电压都是 5 V 经 DC-DC 转换成 3.3 V，再由 3.3 V 转换成其他的电压获取；因此，系统的复位控制主要监控 3.3 V 电

压，复位控制芯片为 IMP809SEUR。IMP809SEUR 的门限电压为 2.93 V，系统从监测电压降到门限值到响应输出低复位信号时间约 20 μs，低复位信号维持时间约 240 ms，以保证电压完全恢复正常后，再使 FPGA 和 DSP 分别开始执行程序。当 +3.3 V 电压波动降到 +2.9 V 以下时，不能保证 FPGA 和 DSP 正常工作，系统会出现未知状态，此时在 +2.93 V 时需要复位，让系统重新加载程序恢复到已知状态。

3 软件设计

系统主要完成串口通信、GPIO 控制、Ethernet 通信、CAN 通信及程序加载等，软件功能单元主要包括 UART 串口通信、Ethernet 通信、GPIO 通信、CAN 通信、DDR3 读写、Flash 读写等。

图 6 为系统软件架构。系统软件按功能分为应用管理、数据处理、数据传输和底层链路层。应用管理层控制系统的运行流程，通过数据传输层及数据处理层上传的数据来控制程序的流程，根据流程决定输出的数据，并将输出的数据下传至数据传输层中的输出数据处理模块，由它负责数据的输出。数据处理层主要根据数据传输层上传的数据及系统的流程，对数据进行综合处理计算，形成输出的数据。数据传输层是应用管理层和底层链路层之间的数据通道，主要包括输入数据预处理模块和输出数据处理模块。输入数据预处理模块负责接收来自底层链路层的数据，转换为可供应用管理层使用的数据格式，并发送给应用管理层和数据处理层；输出数据处理模块负责将应用管理层和数据处理层需要输出的数据转换为各个通信接口规定的格式，分发给相应的底层链路层，由链路层输出给外部设备。底层链路层是 4 层中最接近硬件的一层，负责最原始数据的采集，提供给数据传输层进行处理，同时接收数据传输层下传的数据，通过相应的硬件接口输出。

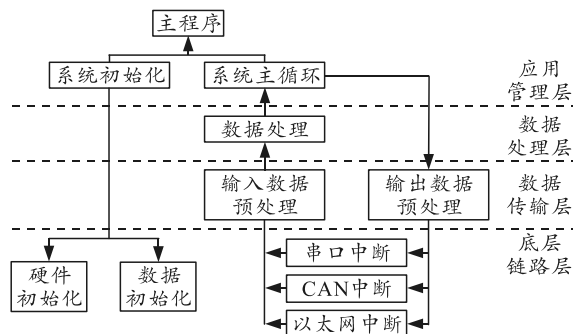


图 6 系统软件架构

参考文献:

- [1] 高炜. 基于改进的可拓层次分析法和动态加权的航天高技术综合评价研究[J]. 系统工程与电子技术, 2016, 38(1): 102-109.
- [2] BRYANT D J. Rethinking OODA: Toward a Modern Cognitive Framework of Command Decision Making[J]. Military Psychology, 2006, 18(18): 183-206.
- [3] 谭跃进, 张小可, 杨克巍. 武器装备体系网络化描述与建模方法[J]. 系统管理学报, 2012, 21(6): 781-786.
- [4] 梁家林, 熊伟. 基于作战环的武器装备体系能力评估方法[J]. 系统工程与电子技术, 2019, 41(8): 1810-1819.
- [5] 肖阳, 吕卫民, 江式伟. 某型反舰导弹作战效能评估及仿真分析[J]. 兵工自动化, 2017, 36(1): 83-87.
- [6] 赵晶, 刘义, 来庆福, 等. 反舰导弹攻防对抗仿真系统[J]. 系统仿真学报, 2012, 24(10): 74-78, 96.
- [7] 赵季阳. 反舰导弹体系攻防对抗的仿真研究[D]. 太原: 中北大学, 2014: 30-35.
- [8] 李进军, 熊吉光. 反舰导弹武器系统攻防对抗作战效能评估模型[J]. 火力与指挥控制, 2003, 28(1): 26-28, 32.
- [9] 孙建彬. 基于作战环的反导装备体系形式化建模与能力评估方法[D]. 长沙: 国防科学技术大学, 2014: 50-53.
- [10] 夏国清, 梁添添, 孙明晓. 基于主成分约简和突变级数的舰载机出动能力综合评估方法[J]. 系统工程与电子技术, 2018, 40(2): 330-337.
- [11] 高松, 韩建立, 陈健, 等. 基于可拓学的武器装备体系效能评估[J]. 海军航空工程学院学报, 2018, 33(6): 546-552.
- [12] LI D, CHEUNG D, SHI X, et al. Uncertainty reasoning based on cloud models in controllers[J]. Computers & Mathematics with Applications, 1998, 35(3): 99-123.
- [13] 刘云鹏, 许自强, 付浩川, 等. 采用最优云熵改进可拓云理论的变压器本体绝缘状态评估方法[J/OL]. 高电压技术, 2019-9[2019-10-15]. <https://doi.org/10.13336/j.1003-6520.hve.20190215004>

(上接第 3 页)

4 结束语

针对以太网、CAN 总线与多路串口通信的需求, 笔者设计一种基于 DSP+FPGA 的多路串口和以太网通信系统。为提高系统可靠性和可扩展性, 系统选用成熟技术和电路, 并预留了软硬件资源。由实际样机验证结果可知, 系统运行性能稳定可靠, 满足项目研制需求。

参考文献:

- [1] TMS320C6672 Multicore Fixed and Floating-Point Digital Signal Processor[Z]. TI, 2007.
- [2] 李银海, 王民钢, 孙传新. 基于 DSP+FPGA 的数字导弹飞控计算机设计[J]. 电子设计工程, 2014, 22(8): 21-24.
- [3] 董言治, 娄树理, 刘松涛. TMS320C6000 系列 DSPs 系统结构原理与应用教程[M]. 北京: 清华大学出版社, 2014: 218-226.
- [4] 徐文波, 田耘. Xilinx FPGA 开发实用教程[M]. 北京: 清华大学出版社, 2012: 4-5.
- [5] 李波, 李亚南, 李健. 基于 FPGA+DSP 架构异步 FIFO 视频图像数据采集实现[J]. 兵工自动化, 2016, 35(9): 382-385.
- [6] 李军辉. 基于 DSP 和 FPGA 的 UART 系统设计[J]. 苏州科技学院学报(自然科学版), 2009, 26(2): 55-59.
- [7] 周云波. 串行通信技术[M]. 北京: 电子工业出版社, 2019: 7-8.
- [8] 徐云. 基于 FPGA 的多路高速串口[D]. 西安: 西安电子科技大学, 2010.