

doi: 10.7690/bgzdh.2016.09.007

# 基于 FPGA+DSP 架构异步 FIFO 视频图像数据采集实现

李 波, 李亚南, 李 健

(西南自动化研究所信控中心, 四川 绵阳 621000)

**摘要:** 针对 FPGA 资源紧张和数据在不同时钟域间传递的亚稳态问题, 设计一种基于 FPGA+DSP 架构的异步 FIFO 视频图像数据采集方法。在 IIC 配置模块和解交织模块的作用下, 通过在 2 个时钟域的交界处设计 3 个低深度异步 FIFO 方式实现视频数据流的传输, 由发送时钟域将数据写入, 接收时钟域将数据读出, 在数据传输的同时实现数据的缓存; 通过分析 FPGA 芯片内资源利用情况进行系统测试, 结果表明: 系统能够准确地再现输入的视频图像, 实现视频图像数据的实时采集。

**关键词:** FPGA; 异步 FIFO; 视频图像采集

**中图分类号:** TP391.4 **文献标志码:** A

## Realization Video-image-data Acquisition and Accomplish Based on FPGA+DSP Framework Asynchronous FIFO

Li Bo, Li Ya'nan, Li Jian

(Information Control Center, Southwest Automation Research Institute, Mianyang 621000, China)

**Abstract:** For those FPGA chips which lack of internal storage resource and the metastability problem that the data transferred between the different clock domains. A method was designed to acquire the video image data based on FPGA+DSP framework. Under the effect of IIC configuration module and de-interleave module, by through desiring 3 lower depth asynchronous FIFO realized video-data stream's transfer between the different clock domain, the data written into FIFO at send clock domain and read at received clock domain, it realized the data transfer and acquire simultaneously. By analysis the utilization of the FPGA chip resource and carry on a system test, the result of test have shown that the system can accurately re-appear the input video image and realize the real time video data acquisition.

**Keywords:** FPGA; asynchronous FIFO; video image acquisition

### 0 引言

视频图像采集与处理在信息处理技术中占有非常重要的地位。在目前的视频图像系统的设计中, DSP+FPGA 架构越来越多, 采用该架构可以兼顾速度和灵活性, 既满足底层信号处理要求, 又满足高层信号处理要求<sup>[1]</sup>。在该架构下, 通常图像采集利用 FPGA 内部生成双口 RAM, 采用乒乓方式实现<sup>[2]</sup>, 然而采用乒乓方式的前提是所使用的 FPGA 芯片本身资源(存储资源)非常充足; 因此, 在使用低端 FPGA 硬件架构(存储资源有限)且没有外扩存储芯片的情形下, 不能用乒乓方式实现视频图像的采集, 必须采用新的处理方式。此外, 由于 FPGA 与 DSP 分属不同的系统时钟, 两者之间数据传递还可能出现亚稳态问题, 笔者通过在 2 个时钟域的交界处设计 3 个异步 FIFO 的方式实现数据流的传输。由发送时钟域将数据写入, 接收时钟域将数据读出, 在数据传输的同时实现数据的缓存, 以解决由于 FPGA 资源紧张和亚稳态导致的数据采集问题, 实现视频数据的实时采集。

### 1 系统及各子模块功能概述

图 1 为视频采集系统总体框图。摄像头接收模拟视频信号; ADV7180 完成视频解码, 转换成符合 ITU\_RBT656 格式数字视频信号, 并送给 FPGA 进行预处理; DSP 读取视频数据并根据需要可对其作进一步的处理。

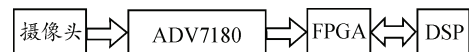


图 1 视频采集系统总体框图

笔者重点讨论基于 FPGA 异步 FIFO 缓存技术实现的 DSP 视频数据采集设计; 因此, 将图 1 中 FPGA 模块单独提取出来, 如图 2 所示。

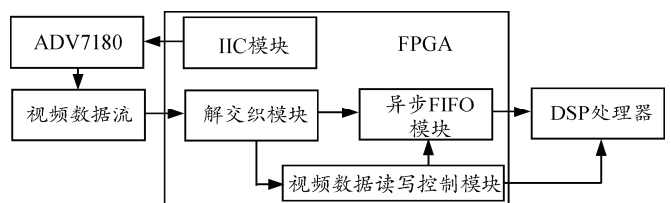


图 2 图像处理模块框图

图 2 中, 根据 FPGA 在全系统中所起作用, 其

收稿日期: 2016-05-27; 修回日期: 2016-07-05

作者简介: 李 波(1984—), 男, 四川人, 硕士, 助理工程师, 从事光电跟踪技术研究。

内部由多个子模块组成，分别为用于配置编解码芯片的 IIC 模块，用于解析视频流数据的解交织模块，用于控制有效视频数据流写入 FIFO 的视频数据读写控制模块以及异步 FIFO 模块<sup>[3]</sup>。通过各相关模块的协调与配合，实现视频数据的异步 FIFO 传送。

### 1.1 IIC 模块

ADV7180 为 ADI 公司推出的一款 10 位、4 倍过采样的视频图像解码器，能实现模拟图像信号到数字图像信号的转换，可采样 NTSC、PAL 和 SECAM 格式的模拟视频信号。通过正确配置后芯片自动检测输入格式，将其转换为 ITU-R.656 接口标准兼容的 YCbCr 4:2:2 的 8 位分量视频图像数据。

ADV7180 的正常工作需要通过 I2C 总线的正确配置。设计采用的 CCD 摄像头输出的是 PAL 制式的视频信号，ADV7180 视频输入模式要采用 CVBS 输入模式，并能使 AIN1 作为视频信号输入口，检测模式采用自动检测模式。从 CVBS 端口引进的视频信号的构成除了包含图像数据信号之外，还包含行同步信号、场同步信号、行消隐、场消隐等信号，芯片可以自动进行处理，系统只需检测相应的信号启动相应操作，不需要系统对其进行干预。设计需要配置的 ADV7180 寄存器如表 1<sup>[4]</sup>所示。

表 1 ADV7180 寄存器配置

寄存器地址	寄存器值	注释
00	00	选择在 AN1 管脚输入 CVBS 视频信号
C4	80	选通使能
C3	01	将 AN1 选通给 ADC
58	01	P37 脚输出帧有效
37	A0	配置 V, H 同步信号极性
0A	18	配置亮度寄存器
2C	8E	配置自动增益
2D	F8	配置色度寄存器

### 1.2 解交织模块

对于输入的 CVBS 等模拟信号经过 ADV7180

芯片转换后输出 YCrCb 信号，行同步信号 HS，帧同步信号 VS。EAV 和 SAV 为嵌入的控制字，表示有效视频的终点和起始点。SAV 和 EAV 信号有 3 字节的前导：FF、00、00；最后 1 字节 XY 表示该行位于整个数据帧的位置及如何区分 SAV、EAV。

由于 YCrCb 信号在模拟信号中是交织着的，所以首先要对其进行解交织。根据 ITU 场同步信号判断出一幅完整图像数据流的起始和结束位置，接着在 ITU 行同步信号有效期间对 ITU.R656 格式的数据流解交织。

ITU R656 格式中 YCrCb 是 4:2:2 的格式，在解交织的过程中将每一个 Cr、Cb 各复用了一次，使得 YCrCb 变为 4:4:4 的格式，从而使每一个像素的 YCrCb 的值独立出来。解交织如图 3 所示。

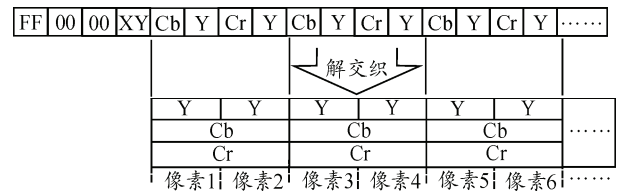


图 3 解交织示意图

根据上面的分析解交织过程需要 1 个信号选择电路，YCrCb 一共是 3 路信号，设计 1 个计数器进行选择，计数是 0 和 2 时，是 CrCb 信号；计数是 1 和 3 时，是 Y 信号，实际完成了串行信号转并行信号的过程<sup>[5]</sup>。

### 1.3 视频数据异步 FIFO 读写控制

图 4 为视频数据异步 FIFO 读写控制系统框图。图中 FPGA 端由 FIFO 写控制模块和 3 个异步 FIFO 模块组成，DSP 端由 3 个视频分量缓存模块、奇偶场 Y, Cb, Cr 视频分量重组模块和奇偶场视频帧重组模块组成。

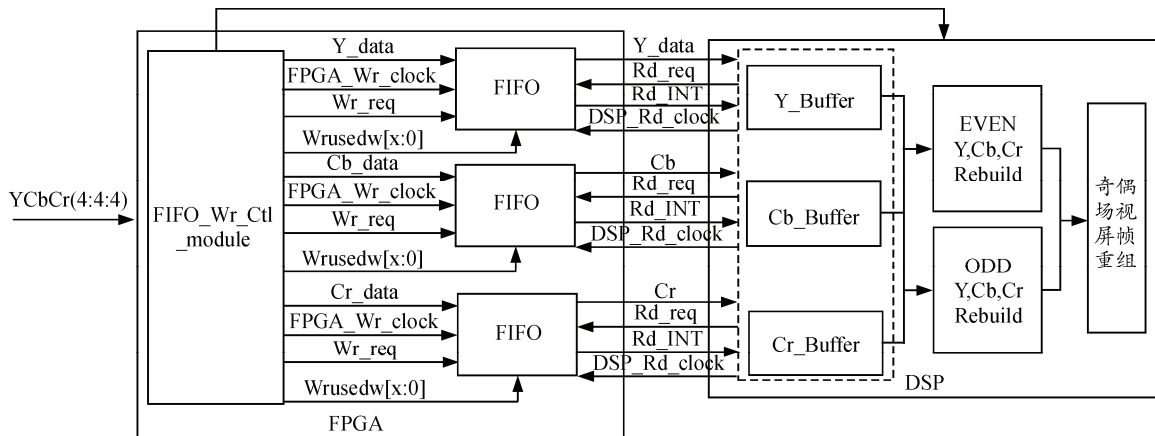


图 4 视频数据异步 FIFO 读写控制系统

FIFO 写控制模块主要实现 3 个功能：

- 1) 实现异步 FIFO 视频数据的实时写入；
- 2) 产生实时中断通知 DSP 端及时读取有效视频数据；
- 3) 将当前有效视频信号场信息 (Field=EVEN/ODD) 告知 DSP 端。

DSP 读取端主要实现 3 个功能：

- 1) 实时读取写入异步 FIFO 中的有效视频数据；
- 2) 将读取的奇场、偶场视频图像的 3 个视频分量进行场重组；
- 3) 将奇场偶场视频图像进行帧重组，得到 1 幅完整的视频图像。图 5 所示为视频数据异步 FIFO 读写控制流程。

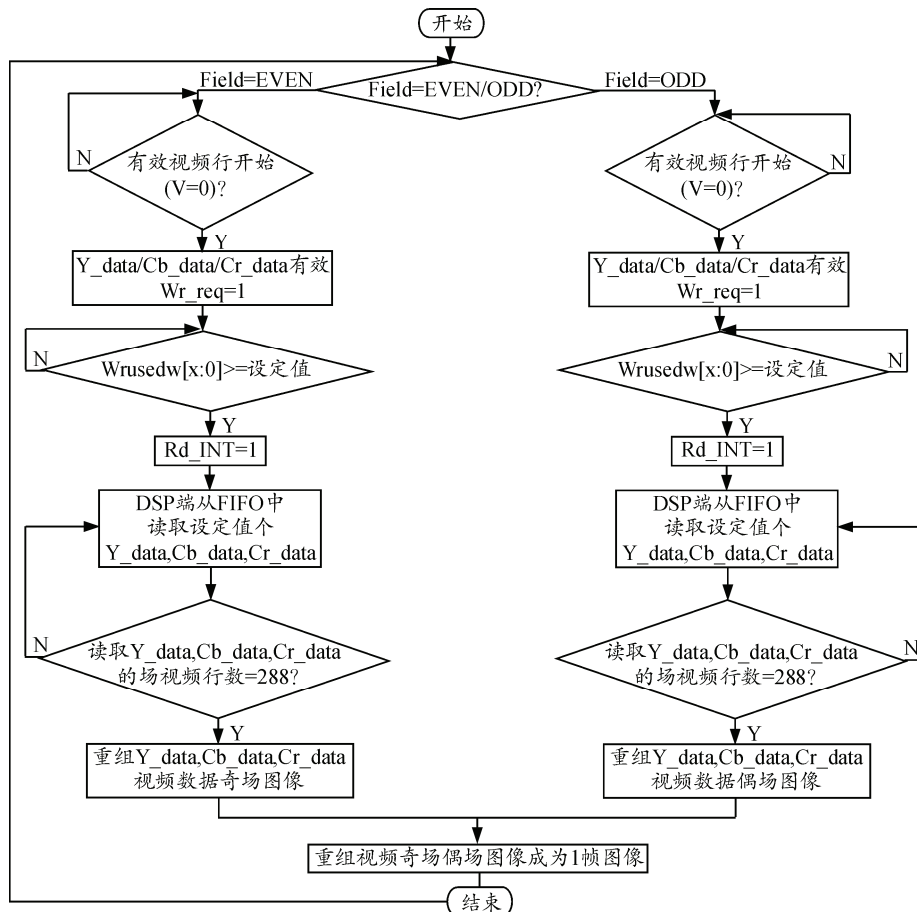


图 5 视频数据异步 FIFO 读写控制流程

从图 5 中可以得出：

- 1) 对视频图像的采集可以根据实际需要，既可以采集彩色图像(视频数据 Y, Cb, Cr 3 个分量均采集)，又可以只采集其中任何一个分量的数据，比如 Y 分量(灰度图像)；
- 2) 产生读中断信号的时刻是可以进行实际需要的调整的(改变异步 FIFO 中已写入数据个数的“设定值”)。

## 2 异步 FIFO 采集灰度图像 SignalTap 信号图

### 2.1 视频数据解交织 Signal Tap 图

视频数据解交织 Signal Tap 时序如图 6。图中视频输入序列出现 FF 00 00 XY，其中 XY 第 4 位为低电平时，表示有效视频序列开始。

在图中，在“-4”位置处，在时钟上升沿采集到第 2 个 00 时，Y\_check=1。

下一个时钟沿，在判断 Y\_check=1 的前提下，通过判断此时的视频数据 XY 的第 4 位，如为低电平，则表示其后紧接着的数据为有效视频数据，那么 START=1；如为高电平，则 START=0。

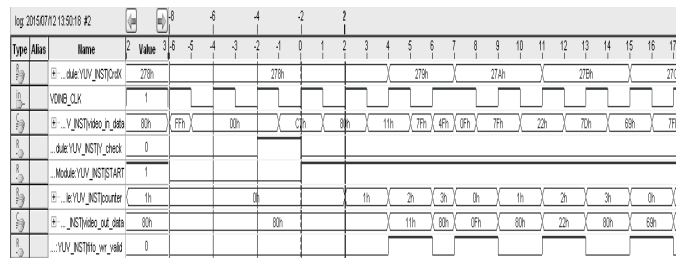


图 6 视频数据解交织信号时序

为了区分有效视频数据中的 Cb, Y, Cr 数据，在此，通过计数器 counter 的计数值实现区分，counter=0 时的视频数据为 Cb；counter=1,3 时的数据为 Y；

counter=2 时的数据为 Cr。

为了实现视频图像的灰度显示,当 counter = 0,2 时视频数据恒等于 0x80; 在 counter=1,3 时等于原始 Y 数据。

### 2.2 FIFO 写请求 wrreq、写数据 Data[7:0]信号

通过图 7 可以看出, FIFO 写信号 fifo\_wr\_req 有效开始行为第 24 行(奇场的第 23.5~310 行包含有效的视频信号,偶场的第 336~622.5 行包含有效的视频信号),结束行为 310 行。

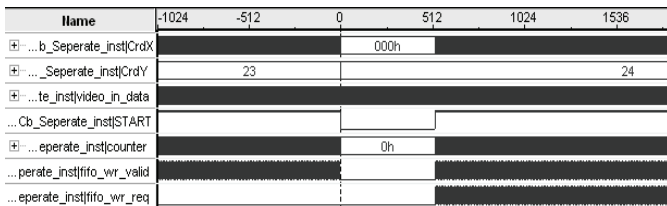


图 7 写请求有效行数据时序图

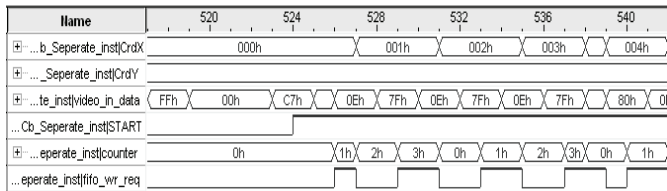


图 8 写请求信号及有效视频数据时序图

要想将灰度数据 Y 存入 FIFO 中,根据 FIFO 写时序特点,在数据有效的同时,写请求信号也必须同时有效(fifo\_wr\_req= 1)。通过图 8 可以看出, FIFO 写信号 fifo\_wr\_req 有效位置为视频流计数变量 counter=1,3。此时写入 FIFO 的是灰度数据 Y。

### 2.3 有效视频数据中断信号产生流程

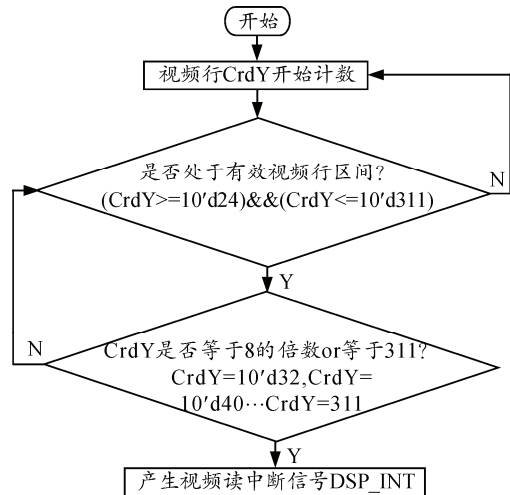
在本设计中,设定的中断信号产生条件为 FIFO 中每存储 8 行有效视频数据便产生 1 次中断信号。通过图 9 可以看出,当每存储 8 行有效视频时便产生 1 次中断,符合设计要求。

表 2 系统资源利用情况汇总

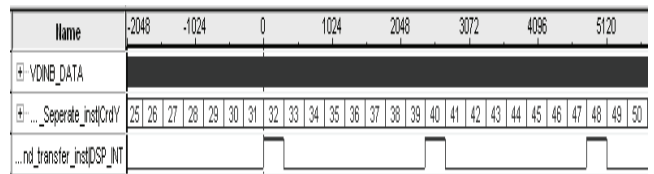
EP3C40F484C6				Total memory bits
FIFO 个数	FIFO 输入位宽/bits	FIFO 输出位宽/bits	FIFO 深度/words	
1	8	32	8 192	65 536/1 161 216(6%)
3	8	32	8 192	196 608/1 161 216(17%)
1	8	32	131 072	1 048 576/1 161 216(90%)
3	8	32	131 072	3 145 728/1 161 216(271%)

## 4 系统测试

图 10(a)为通过监视器显示的原始视频图像(PAL 制式视频,图像分辨率 720×576),图 10(b)、(c)为通过异步 FIFO 后 DSP 端读取的灰度视频图像奇场偶场图像(图像分辨率均为)720×288),通过对图 10 中奇偶场视频图像的合成,系统能够准确再现输入的视频帧图像,实现基于异步 FIFO 的 FPGA



(a) 中断信号产生流程



(b) 中断信号产生时序

图 9 FIFO 中断信号产生时序

## 3 系统资源利用情况

从表 2 可看出:在满足资源占用率前提下,采用 1 个/3 个异步 FIFO 可实现视频图像 Y 分量(灰度图像)/Y,Cb,Cr 分量(彩色图像)的采集。采用乒乓操作,采集 Y 分量需 2 个 FIFO,理论上采集奇场或偶场单场图像需要 FIFO 深度为 720×288=207 360。由表中可知:可调用单个 FIFO 最大深度为 131 072,因为 131 072<<207 360,且存储资源占用率已达 90%,采用单个 FIFO 尚不能满足要求,使用 2 个乃至多个异步 FIFO 更加不能满足乒乓操作要求;当 FIFO 个数为 3 时,深度最大为 131 072 时,存储资源占用率达 271%,远大于 FPGA 芯片本身拥有资源(1,161,216),所以采用乒乓操作是不能实现的。

+DSP 架构下视频图像数据的采集<sup>[6]</sup>。



(a) 采集原始图像