

doi: 10.7690/bgzd.2020.04.005

# 基于 FPGA 的自适应信号采集系统

石 勇<sup>1</sup>, 陈 宝<sup>1</sup>, 蒲永材<sup>2</sup>

(1. 海军装备部驻北京地区第七军事代表室, 北京 100176;

2. 中国兵器装备集团自动化研究所有限公司特种产品事业部, 四川 绵阳 621000)

**摘要:** 为解决信号采集系统需要手动设置触发模式、触发电平的问题, 设计一种基于 FPGA (field programmable gate array) 的自适应信号采集系统。根据基于 FPGA 的自适应信号采集系统的特点, 对其核心模块进行介绍, 采用回波时钟模式对 LVDS 通信接口进行设计, 将 FPGA 程序架构划分为 5 部分进行设计, 并通过实物平台进行验证测试。测试结果表明: 该系统能自适应判别输入信号类型, 自动设置采集模式及触发电平, 准确计算信号参数, 具有一定的实用价值。

**关键词:** FPGA; 自适应; 触发模式; 参数

**中图分类号:** TP273<sup>+</sup>.2 **文献标志码:** A

## Self-adaptive Signal Acquisition System Based on FPGA

Shi Yong<sup>1</sup>, Chen Bao<sup>1</sup>, Pu Yongcai<sup>2</sup>

(1. No. 7 Military Representative Office in Beijing District, Equipment Department of Navy, Beijing 100176, China;

2. Department of Special Products, Automation Research Institute Co., Ltd. of China South Industries Group Corporation, Mianyang 621000, China)

**Abstract:** A self-adaptive signal acquisition system based on FPGA (field programmable gate array) is designed to solve the problem of the trigger mode and voltage level needs to be set manually for the signal acquisition system. According to the characteristics of the self-adaptive signal acquisition system based on FPGA, introduces the core modules and uses the echoed clock interface mode to design the LVDS communication interface and divides the FPGA program architecture into 5 parts for design and uses the physical platform to verification and test. The results of the test show that the system can self-adaptive identify the signal type and set the acquisition mode and trigger level automatically and calculate signal parameters accurately and have some practical value.

**Keywords:** FPGA; self-adaptive; trigger mode; parameters

## 0 引言

信号采集系统主要应用在雷达、火力控制、目标识别等领域。目前, 常用军用嵌入式信号采集系统都是参照示波器的设计方式, 即根据外部信号类型, 手动设置为正常模式或者触发模式。如果是触发模式, 同时需要设置触发边沿及触发电平, 采集设备根据设置进行相应的触发采集、参数计算及数据存储, 但是在实际应用场景中, 存在输入信号类型未知、输入信号变化频繁、人员误操作等问题, 给信号采集、识别、存储带来困难。

针对上述问题, 笔者提出一种基于 FPGA 的自适应信号采集系统设计。该系统能够自动识别输入信号类型, 并根据信号类型自动设置采集模式及触发电平, 计算输入信号的信号周期、脉宽、电平等

关键参数, 同时自动调整数据缓存方式: 对于电平信号, 直接缓存数据; 对于波形信号, 自动从波形边沿跳变前开始缓存数据<sup>[1-5]</sup>。

## 1 系统描述

### 1.1 系统简介

笔者采用 XILINX 公司的 XC7A75T 型号 FPGA 为核心处理器, 高速 ADC 选用 ADI 公司的 AD7626, 上位机采用 Freescale 公司的 P2020 处理器。FPGA 作为 ADC 的控制单元, 对 AD7626 进行时钟下发、参数配置, 并且接收 AD7626 模数转换后的数字信号, 同时, FPGA 作为设计中的核心信号处理器, 负责信号类型自动识别、采集模式自动设置、参数解析及数据缓存等功能, P2020 主要是对采集数据进行转发。系统框图如图 1 所示。

收稿日期: 2019-12-12; 修回日期: 2020-01-07

作者简介: 石 勇(1974—), 男, 浙江人, 博士, 高级工程师, 从事军事装备合同监管与质量监督。E-mail: tysjs315@163.com。

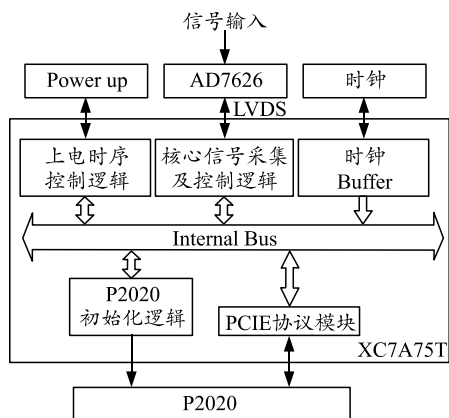


图 1 系统框图

### 1.2 核心模块介绍

笔者选用的 XC7A75T 是 XILINX 公司 7 系列芯片中低功耗产品。该产品在保持高性能的前提下，实现了产品的超低功耗，适用于对产品性能有一定要求，同时功耗需要严格控制的嵌入式系统，与系统需要高度契合。该产品广泛应用在飞控设备、便携式设备、可穿戴设备等类型产品<sup>[6]</sup>。

AD7626 是 ADI 公司设计的一款高性能 16 位 ADC。该 ADC 采用 SAR 型结构设计，最高采样频率为 10 MSPS，噪声性能达到 91.5 dB，线性度达到  $\pm 0.45$  LSB INL、 $\pm 0.35$  LSB DNL。数字传输接口为串行 LVDS，FPGA 与 AD7626 间只需 4 对 LVDS 数据线即可实现数据传输，减少了数字接口端的引脚数目，同时也避免了并行 LVDS 数字接口带来的相位偏差等问题。该产品采样精度高、采样速度快、数据接口简单，符合该系统的要求。该型号 ADC 被广泛应用于高速数据采集设备、数字成像系统、高动态范围通信接收机、频谱分析设备等产品<sup>[7]</sup>。

## 2 硬件设计

FPGA 与 AD7626 间通过 4 对 LVDS 接口实现数据传输，分别为转换输入信号 CNV，LVDS 数据输出信号 D，LVDS 时钟输入信号 CLK，LVDS 缓冲时钟输出信号 DCO。在设计中，LVDS 信号采用 100  $\Omega$  电阻进行阻抗匹配，匹配电阻靠近信号接收端放置。为了隔离现场复杂环境的信号干扰，在 LVDS 信号现场端及控制端之间设计数字隔离。笔者采用回波时钟模式对 LVDS 通信接口进行设计，即信号与对应时钟同步传输，CNV 信号线与 CLK 信号线间及 DCO 信号线与 D 信号线间按严格等长设计，等长误差在  $\pm 20$  mil<sup>[7]</sup>。LVDS 通信接口设计如图 2 所示。

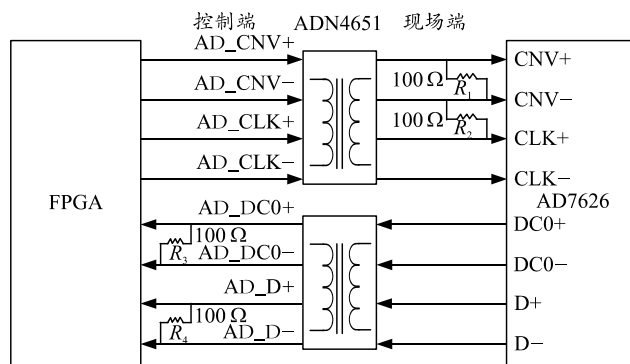


图 2 LVDS 通信接口设计

## 3 FPGA 程序设计

FPGA 程序设计是系统的核心技术，该程序架构划分为 5 部分，分别为 AD7626 数据采集模块、参数解析模块、自动控制模块、数据缓存模块、PCIE 通信模块。FPGA 程序模块划分如图 3 所示。

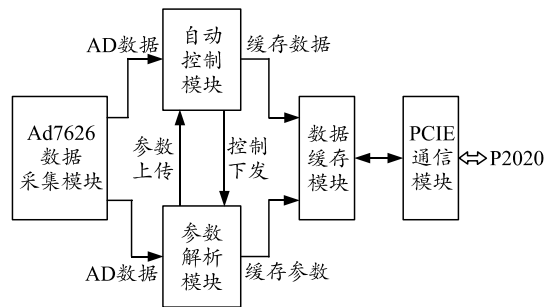


图 3 FPGA 程序模块结构

### 3.1 AD7626 数据采集模块

AD7626 数据采集模块实现对 AD7626 的时序控制及数据采集转换，采样率为 10 MHz，时钟 CLK 频率设计为 300 MHz。该模块 FPGA 程序流程如图 4 所示。

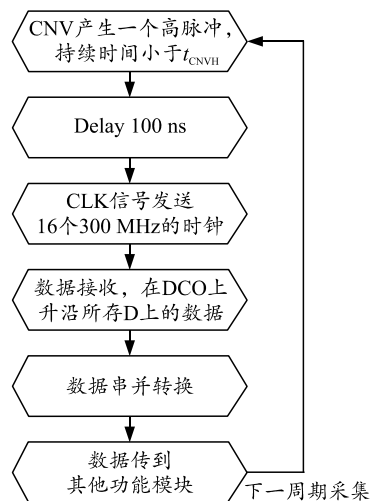


图 4 AD7626 数据采集模块流程

AD7626 数据接口操作时序如图 5 所示。

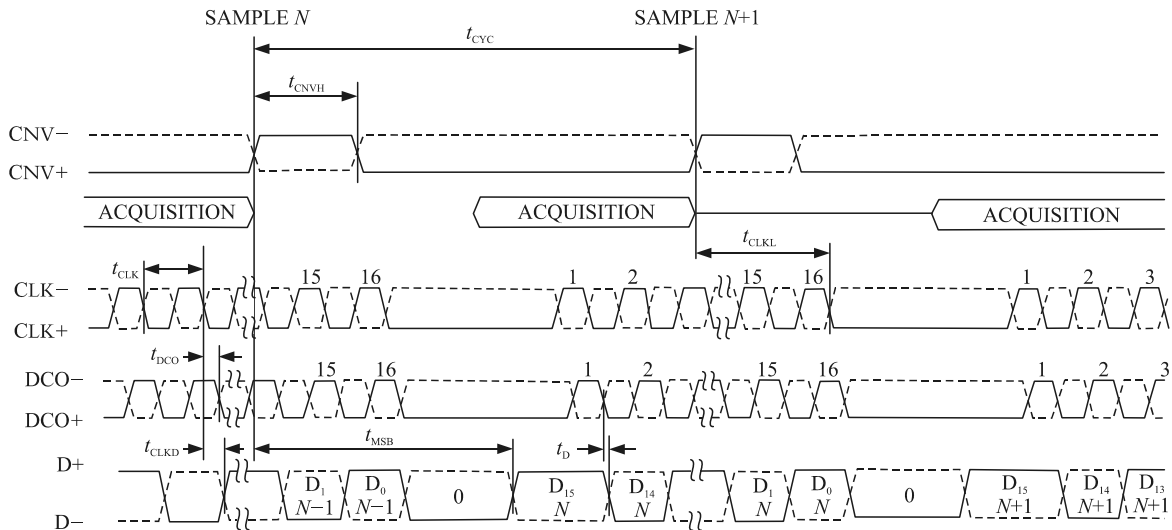


图 5 AD7626 数据接口时序

### 3.2 参数解析模块

FPGA 程序周期性的解析参数主要包括信号类型、信号最高幅值、信号周期、信号脉宽、信号电平。为保证参数的实时性，参数解析的周期设计为 500 ms，各部分详细设计如下：

#### 1) 信号类型。

笔者将信号分为电平信号和波形信号。在实际应用中，由于现场干扰、电路寄生参数、AD 采样误差等因素，不存在标准的直流电平信号和符合标准波函数的波形信号，实际电平信号是在一定幅值范围内波动的信号。与标准波函数相比，实际波形信号边沿会变得平缓，不会出现信号边沿直接跳变，即信号建立时间等于 0 的情况，波形幅值、周期也会在一定范围波动。设计中相邻点电压差阈值  $V_{th}$  为 0.01 V，FPGA 程序判定信号类型的流程如图 6 所示。

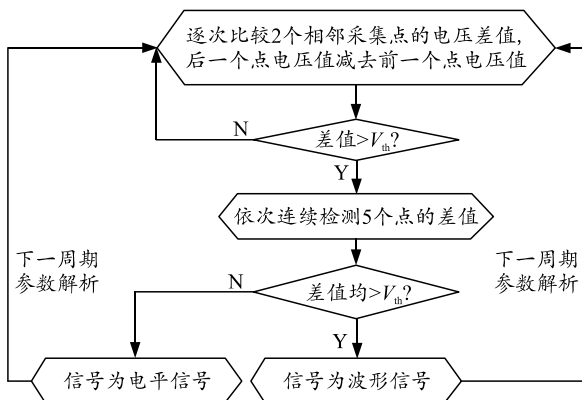


图 6 信号类型判定流程

#### 2) 信号最高幅值。

该部分 FPGA 程序采用寄存器与比较器结合的方式设计。逐次比较相邻采集点电压值，将高的幅

值输入寄存器中，覆盖寄存器中原数据，程序循环执行该操作，直到该参数测量周期结束，此时该寄存器中的数据即为该测量周期中的信号最高幅值。

#### 3) 信号周期、信号脉宽、信号电平。

信号周期、脉宽与电平的解析方式相似。首先接收自动控制模块下发的采集模式及触发电平，如果信号采集为正常模式，则信号周期、信号脉宽参数忽略，信号电平即为 AD 采集数据的平均值；如果信号采集为触发模式，程序根据触发电平判断输入信号的边沿，信号小于触发电平为逻辑“0”，信号大于触发电平为逻辑“1”，信号从逻辑“0”变化到逻辑“1”，即为上升沿，信号从逻辑“1”变化到逻辑“0”，即为下降沿。该设计通过 2 个计数器实现信号周期、脉冲、电平参数的判定，计数器时钟周期为 100 ns<sup>[5]</sup>。此处以触发电平为正进行说明，触发电平为负，判断边沿反转即可。波形信号参数判定流程如图 7 所示。

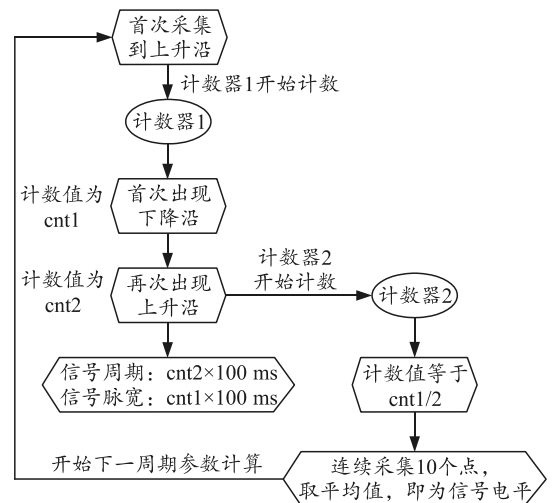


图 7 波形信号参数判定流程

不同类型的波形信号, 上述参数略有差别, 常见的几种波形信号, 正弦信号电平没有实际意义, 系统更关心峰值, 测试方法参照信号最高幅值测试; 三角波信号电平没有实际意义, 系统更关心信号的峰值, 参照信号最高幅值测试; 对于矩形脉冲信号, 系统关注信号周期、脉宽、电平几种参数。

### 3.3 自动控制模块

自动控制模块主要实现系统采集模式判别、触发电平计算、触发边沿设置, 自动控制模块接收信号类型和信号最高幅值参数, 经过逻辑判断及计算后将采集模式命令、触发电平、触发边沿等参数及控制命令发送到参数解析模块及数据缓存模块。该部分流程如图 8 所示。

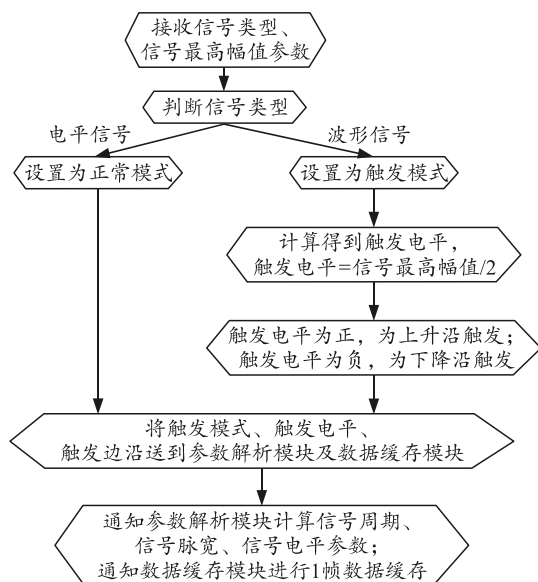


图 8 自动控制模块流程

### 3.4 数据缓存模块

数据缓存模块由 3 个双口 RAM 及控制逻辑组成, 双口 RAM 实现数据存储及时钟同步, 控制逻辑实现读写时序控制, 2 个 RAM 实现 AD 数据缓存, 1 个 RAM 实现参数缓存。参数缓存直接将解析参数缓存在 RAM 中, 并上传到 PCIE 通信模块, 以下重点介绍 AD 数据缓存<sup>[8-9]</sup>。

RAM 宽度设置为 16 位, 深度设置为 2 048。对于正常模式, AD 数据按地址依次存入 RAM 中, 当数据存满 2 048 个点后, 控制逻辑产生中断并停止存储, PCIE 通信模块接收到中断后, 依次读取 RAM 中存储的 AD 数据; 对于触发模式, 采取预存储方式, 即每帧数据必须采集到触发边沿, 即每次上传数据从信号边沿前  $t_1$  时间开始存储,  $t_1$  时间设为  $100 \text{ ns} \times 500$ , 触发模式数据存储流程为:

- 1) AD 数据存入 RAM, 从  $\text{addr}0 \rightarrow \text{addr}2047 \rightarrow \text{addr}0$ , 循环存储, 直接覆盖原地址数据;
- 2) 检测到信号边沿, 此时 RAM 存储地址为  $\text{addr}x$ ;
- 3) 继续存储数据  $T-t_1$  时间后停止存储,  $T$  为  $100 \text{ ns} \times 2 048$ ;
- 4) 控制逻辑产生数据存储完成中断, 将中断发送到 PCIE 通信模块;
- 5) PCIE 通信模块读取 RAM 中的数据, 从 RAM 地址  $\text{addr}x$  前 500 地址开始读取, 共读取 2 048 个点, 由于数据是循环存储, 如遇到地址边界  $\text{addr}0$  和  $\text{addr}2047$ , 按照数据存储时的地址顺序读取。

AD 数据存储控制逻辑如图 9 所示。

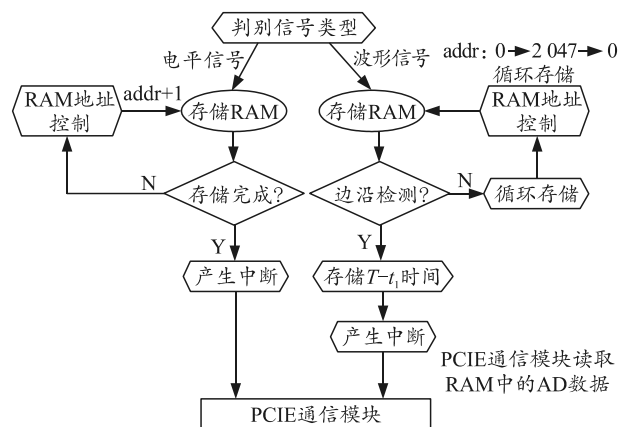


图 9 AD 数据存储控制逻辑

### 3.5 PCIE 通信模块

PCIE 通信模块实现 FPGA 内部与上位机的数据交换, 程序中 PCIE 通信模块采用该 FPGA 自带的 IP 核设计, 此处不详细说明<sup>[10-11]</sup>。

## 4 验证测试

验证测试主要包括电平信号及波形信号的自适应采集测试, 信号参数测试, AD 数据缓存测试。

### 4.1 自适应采集测试

信号输入通道以 5 s 的切换周期循环输入 2 种信号: 一种是 2 V 的电平信号; 另一种是周期 0.1 ms, 脉宽 50  $\mu\text{s}$ , 4 V 的矩形脉冲信号电平。测试结果表明: 该系统能够自适应输入信号的信号类型, 识别输入信号为电平信号或波形信号, 并且根据识别的信号类型设置触发模式及触发电平, 触发模式和触发电平为 FPGA 内部信号, 通过 FPGA 逻辑分析仪抓取观察。输入信号在这 2 种信号间进行切换时, 该系统测试精准、响应迅速, 没有出现错误识别、延迟识别现象。测试结果如图 10、图 11 所示。

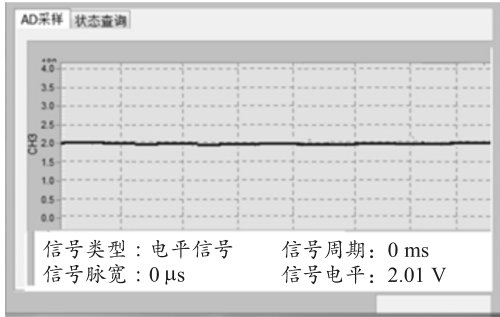


图 10 电平信号测试结果

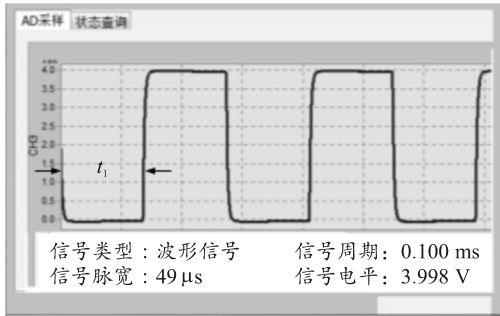


图 11 波形信号测试结果

#### 4.2 信号参数测试

针对该系统测试性能的矩形脉冲信号，笔者进行了参数性能测试。输入信号参数如下：周期范围 100 μs~50 ms，信号脉宽范围 15~500 μs，信号电平范围(±0.5~±5) V。测试结果显示：周期、脉宽误差小于等于 2 μs，电平误差小于 40 mV。详细测试结果见表 1。

表 1 系统参数测试

实际值			测试值		
周期/ms	脉宽/μs	电平/V	周期/ms	脉宽/μs	电平/V
50.00	500	5.0	50.000	499	5.001
10.00	450	-5.0	9.999	450	-5.003
2.00	400	3.0	2.000	399	2.998
1.25	350	-3.0	1.251	351	-2.999
1.00	300	2.0	1.002	299	2.001
0.50	250	-2.0	0.500	251	-2.000
0.25	200	1.0	0.251	200	0.998
0.16	150	-1.0	0.160	150	-0.998
0.12	100	0.5	0.120	99	0.501
0.10	15	-0.5	0.099	16	-0.502

#### 4.3 AD 数据缓存测试

外部输入测试信号，上位机通过 PCIE 读取 FPGA 缓存中的 AD 数据，每接收到一次 AD 数据中断，读取一帧数据，将 RAM 中的数据读空。结果显示，每帧数据共 2 048 个点，没有出现采集点遗漏现象，同时将数据点通过软件绘制到坐标系中，如图 10、11 所示，还原出被测信号波形，横坐标为点序号，纵坐标为电压值。对于电平信号，AD 缓存数据在电平中间值±0.1 V 范围浮动，还原出的波

形近似为一条直线，没有出现数据采集错误；对于波形信号，AD 缓存数据，还原出的波形与输入波形形状一致，调整输入波形信号的周期、脉宽，每次 AD 缓存数据从该波形的上升沿前  $t_1$  时间即 500 点开始采集，共采集 2 048 点结束，每次都能采集到信号的关键参数，预存储模式有效。

### 5 结束语

测试结果表明：该系统能自适应输入信号类型，自动设置采集模式及触发电平，准确计算信号参数，自适应缓存 AD 采集数据。该设计硬件架构简单，主要逻辑功能通过 FPGA 代码实现，软硬件移植性较高，并且该设计 FPGA 采用最新一代的低功耗处理器，在保证性能的前提下，体积小、功耗低。该设计在对小型化、智能化、低功耗要求较高的嵌入式信号采集系统领域有较大应用潜力。

### 参考文献：

- [1] 杜冬, 尹学峰, 吉小军. 基于 FPGA 的脉冲信号发生/测试仪一体化设计[J]. 电子测量技术, 2015, 15(1): 64-68, 94.
- [2] 顾博瑞, 杨扩军, 叶芄. 一种数字示波器快速自动设置方法研究[J]. 电子质量, 2010(1): 18-22.
- [3] ALVARO S, LEANDRO D S, ANGELO P. Form modeling of biomedical signal acquisition systems:source of evidence for certification[J]. Software & System Modeling, 2019, 18(2): 1467-1485.
- [4] 高英杰, 陈捷, 刘飞. 基于 FPGA 和单片机的实时脉冲信号参数测量仪[J]. 金陵科技学院学报, 2018, 2(1): 6-9.
- [5] 李德明, 胡君辉. 基于 FPGA 的脉冲信号参数测量系统设计[J]. 实验技术与管理, 2019, 22(5): 101-106.
- [6] Xilinx. Artix-7 FPGAs Data Sheet: DC and AC Switching Characteristics[S]. [2019-10-23] [https://china.xilinx.com/support/documentation/data\\_sheets/ds181\\_Artix\\_7\\_Data\\_Sheet.pdf](https://china.xilinx.com/support/documentation/data_sheets/ds181_Artix_7_Data_Sheet.pdf), 2018.
- [7] Analog Device, Inc. 16-Bit, 10 MSPS, PulSAR Differential ADC, AD7626[S]. [2019-10-23] <https://www.analog.com/media/en/technical-documentation/data-sheets/AD7626.pdf>, 2016.
- [8] 秦鸿刚, 刘京科, 吴迪. 基于 FPGA 的双口 RAM 实现及应用[J]. 电子设计工程, 2010, 33(2): 72-74.
- [9] 王强, 文丰, 任勇峰. 基于 FPGA 的高速实时数据采集存储系统[J]. 仪表技术与传感器, 2009(1): 50-52.
- [10] 信侃. 基于 Xilinx FPGA 的 PCIE 总线接口设计与实现[J]. 无线电通信技术, 2014(4): 94-96.
- [11] 夏宇闻. Verilog 数字系统设计教程[M]. 北京: 北京航空航天大学出版社, 2003: 7.