

doi: 10.7690/bgzd.2020.07.008

# 一种利用全国产化器件启动龙芯 3A1000 的方法

邵雨新<sup>1</sup>, 席静<sup>2</sup>, 张自圃<sup>1</sup>

- (1. 中国兵器装备集团自动化研究所特种产品事业部, 四川 绵阳 621000;
- 2. 陆军装备部北京地区军代局驻北京地区第五军代室, 北京 100039)

**摘要:** 针对产品国产化的要求, 设计一种利用国产化器件启动 CPU 的方法。详细分析 LPC 总线, 阐述存储器配置, 介绍利用国产 FPGA 和国产 flash 实现国外 LPC 配置 flash 的功能。结果表明: 该方法能替代国外芯片的功能, 实现全国产化。

**关键词:** 全国产化; 启动 CPU; 国产 flash; LPC

**中图分类号:** TP14 **文献标志码:** A

## Method for Starting Loongson 3A1000 by Using Domestic Device

Shao Yuxin<sup>1</sup>, Xi Jing<sup>2</sup>, Zhang Zipu<sup>1</sup>

- (1. Department of Special Product, Automation Research Institute Co., Ltd., of China South Industries Group Corporation, Mianyang 621000, China;
- 2. No.5 Military Representative Office in Beijing, Beijing Military Representative Bureau of Army Equipment Department, Beijing 100039, China)

**Abstract:** According to the requirement of domestic product, a method of starting CPU with domestic device is designed. The LPC bus is analyzed in detail, the memory configuration is described, and the functions of foreign LPC flash configuration are introduced by using domestic FPGA and domestic flash. The results show that this method can replace the function of foreign chip and realize the localization.

**Keywords:** localization; start CPU; domestic flash; LPC

## 0 引言

随着科技的发展和世界局势的变化, 产品元器件国产化的形势越来越迫切。目前, 虽然我国已经研制出了国产的处理器, 但在使用中仍需要外国的器件作为辅助器件才能正常启动及应用。总体而言, 我国在全国产化方面仍然有很大的欠缺, 受到诸多限制<sup>[1]</sup>。

目前, 龙芯 3A1000 启动时, 需要读取 flash 内的数据进行 CPU 初始配置, 只有正确配置后, CPU 才会正常启动, CPU 读取 flash 数据的接口是 lpc, 但是国内厂商生产的 flash 都是 spi 接口的, 两者不兼容, 所以想启动 CPU 就要使用国外的 flash。针对此问题, 笔者设计了利用国产 FPGA 和 1 片国产 flash, 实现国外 LPC 配置 flash 的功能方案, 真正实现了器件全国产化<sup>[2]</sup>。

## 1 LPC 总线

### 1.1 LPC 总线常用引脚定义

如表 1 所示, LPC 总线常用的引脚有 4 个。其中: 每个时钟周期传输的数据为 4 位; LFRAM 高

变低说明数据的新一轮传输, 该线的状态由 CPU 控制, 时钟为 33 MHz; 低电平复位<sup>[3]</sup>。

表 1 LPC 总线常用引脚

引脚	引脚方向	描述
LAD[3:0]	I/O	指令, 地址, 数据复用
LFRAM	O	由高变低说明数据的新一轮传输, 否则视为放弃
LCLK	O	时钟信号
LRST	O	复位信号

### 1.2 龙芯 3A1000 处理器的 LPC 控制器

龙芯 3A1000 处理器 LPC 控制器的地址空间分布见表 2。

表 2 LPC 控制器地址空间分布

地址名称	地址范围	大小
LPC Boot	0X1FC0_0000-0X1FD0_0000	1 MByte
LPC Memory	0X1C00_0000-0X1E00_0000	32 MByte
LPC I/O	0X1FF0_0000-0X1FF1_0000	64 kByte
LPC Register	0X1FE0_0200-0X1FE0_0300	256 Byte

LPC Boot 地址空间是系统启动时处理器最先访问的地址空间<sup>[4]</sup>。该地址空间支持 LPC Memory 或 Firmware Memory 访问类型。系统启动时, 发出哪种访问类型由 LPC\_ROM\_INTEL 引脚控制。

收稿日期: 2020-03-16; 修回日期: 2020-04-19

作者简介: 邵雨新(1992—), 男, 辽宁人, 硕士, 助理工程师, 从事信号处理研究。E-mail: 455306370@qq.com。

LPC\_ROM\_INTEL 引脚上拉时,发出 LPC Firmware Memory 访问;LPC\_ROM\_INTEL 引脚下拉时,发出 LPC Memory 访问类型<sup>[5]</sup>。

LPC Memory 地址空间是系统用 Memory/Firmware Memory 访问的地址空间。LPC 控制器发出哪种类型的 Memory 访问,由 LPC 控制器的配置寄存器 LPC\_MEM\_IS\_FWH 决定<sup>[6]</sup>。处理器发往这个空间的地址可以进行地址转换。转换后的地址由 LPC 控制器配置寄存器 LPC\_MEM\_TRANS 设置<sup>[7]</sup>。

处理器发往 LPC I/O 地址空间的访问,按照 LPC I/O 访问类型发往 LPC 总线,地址为地址空间低 16 位。

LPC 控制器配置寄存器共有 3 个 32 位寄存器。

## 2 存储器的配置

笔者选用兆易创新生产的 GD25Q80C 芯片作为 CPU 启动程序的存储 flash。该芯片为 SPI 总线配置模式。

### 2.1 SPI 总线

SPI 总线是一种同步串口外设接口。该总线为

一种标准的协议,可以使主机与各种外围设备以串口方式进行通信以交换信息<sup>[2]</sup>。SPI 总线引脚定义如表 3<sup>[8]</sup>所示。

表 3 SPI 总线引脚定义

引脚	CS	SCLK	SI	SO
定义	从机选择线(低电平有效)	串行时钟线	主机输出/从机输入数据线	主机输入/从机输出数据线

### 2.2 flash 配置

对于 flash 芯片 SST49LF008A,在操作过程中,需要配置读寄存器、写寄存器、写使能寄存器、读状态寄存器和读 ID 寄存器。其配置地址如表 4<sup>[9]</sup>。

表 4 flash 寄存器配置

名称	读寄存器 (READ)	写寄存器 (WRITE)	写使能寄存器 (WREN)	读状态寄存器 (RDSR)	读 ID 寄存器 (RDID)
地址	0X03	0X02	0X06	0X05	0XAB

实际操作中,FPGA 需要从 flash 中读取启动 BIOS 的程序信息。具体操作:在片选信息有效的情况下,FPGA 输出读命令和 24 位读地址,然后从 flash 按照每次一个字节的位宽读出数据。其时序图如图 1<sup>[10]</sup>所示。

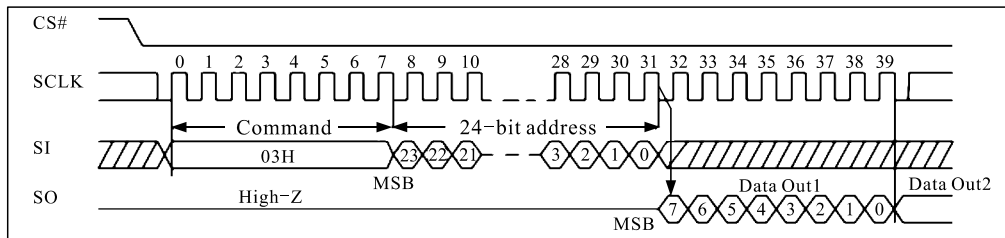


图 1 读取数据字节时序

## 3 启动方法设计与实现

目前,在启动国产芯片龙芯 3A1000 时,利用现有技术所用的器件达不到全国产化要求。因为国内还没有国产化 lpc 配置 flash,现有技术流程如图 2<sup>[11]</sup>所示。其工作流程:将 BIOS 启动程序利用烧写器烧写到 MICROCHIP 公司生产的 flash 芯片 SST49LF008A 中;将板卡上电,龙芯 3A1000 通过 LPC 总线将 flash 中的信息读回来,从而实现启动 BIOS 的目的<sup>[12]</sup>。



图 2 现有技术流程

该系统由龙芯 3A1000、复旦微的 JFM7K325T 和兆易创新的 GD25Q80C 组成,如图 3<sup>[13]</sup>所示。

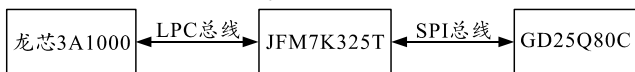


图 3 全国产化方案流程

平台的工作流程:将龙芯 3A1000 通过 LPC 总线与复旦微生产的 FPGA 芯片 JFM7K325T 相连,FPGA 通过 SPI 总线与兆易创新生产的 flash 芯片 GD25Q80C 相连<sup>[14]</sup>。该方法使用 FPGA 解析 CPU 下发的信息,利用下发的信息对 nor-flash 相应的地址进行读操作。然后,把读到的信息通过 LPC 总线传给 CPU,从而启动 BIOS<sup>[15]</sup>。

具体操作如下:

1) 根据 LPC 总线协议和芯片 SST49LF008A 读操作协议编写 FPGA 相对应的解析程序。LPC 总线选用 7 条线实现 DSP 和 FPGA 的相连,包括 LAD[3:0]、LFRAME、LRESET、LCLK。现有方案中,龙芯 3A1000 对 SST49LF008A 的操作时序如图 4 所示。其中,START 占 1 个时钟循环,IDSEL 占 1 个时钟循环,IMADDR 占 7 个时钟循环,IMSIZE 占 1 个时钟循环,DATA 占 2 个时钟循环,TAR0 占 1 个时钟循环,TAR1 占 1 个时钟循环,RSYNC

占 1 个时钟循环, TAR0 占 1 个时钟循环, TAR1 占 1 个时钟循环。

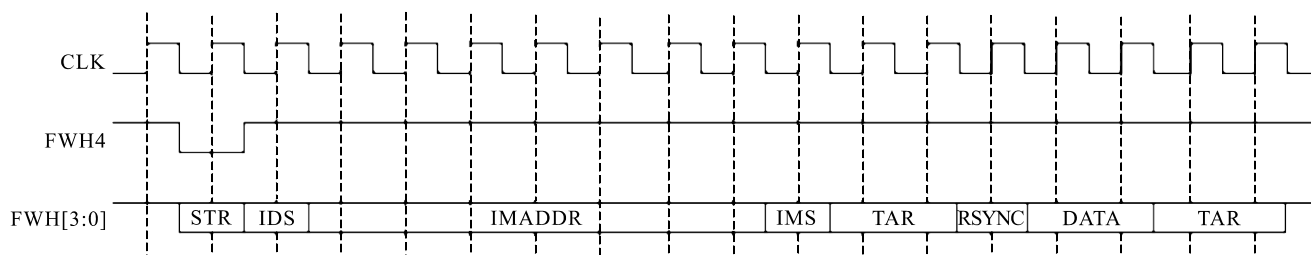


图 4 LPC 总线操作流程

2) 根据 FPGA 解析的信息配置 nor-flash, 把 flash 中的信息发送给 CPU。利用烧写器将 BIOS 启动程序烧写到 flash 中, 然后利用 SPI 的配置方式对 flash 进行读操作<sup>[16]</sup>, 通过 FPGA 充当中间器件, 完成 CPU 与 FPGA 通过 lpc 数据交互, 完成 FPGA 与国产 flash 通过 spi 数据交互, 替代 CPU 与国外 flash 的 lpc 数据交互。

#### 4 结论

笔者利用国产 FPGA 和 1 片国产 flash 实现国外 LPC 配置 flash 的功能。基于这些国产器件设计了一套利用国产化器件启动 CPU 的系统, 替代了国外芯片的功能, 实现国产化。

#### 参考文献:

- [1] JUNG K. Intel Low Pin Count(LPC) interface specification. Revision1.1[S]. London: Xilinx, 2008.
- [2] 葛传志, 宋立臣, 王大锐, 等. 基于 FPGA 的 SPI-LPC 总线桥的设计与实现[C]. 北京: 中国计算机协会, 2013: 54-57.
- [3] 韩彬. FPGA 设计技巧与案例开发详解[M]. 北京: 电子工业出版社, 2014: 40-45.
- [4] 赵杰, 曹凡, 江殿亮. 基于 AMBA 总线的 SPI 协议 IP 核的设计与验证[J]. 电子测量技术, 2013, 33(1): 52-54.
- [5] 肖金球, 刘传洋, 冯翼, 等. 基于 LPC 总线的 FPGA 高速初始化配置系统设计[J]. 计算机工程, 2005, 31(13): 176-178.
- [6] 朱敏玲, 王曦, 王磊, 等. 基于 FPGA 批量数据传输总线的设计与实现[C]. Intelligent Information Technology Application Association, 2013: 55-60.
- [7] 黄建华, 王禹, 王震宇, 等. 基于 FPGA 的嵌入式平台中 TPM 的扩展实现[J]. 信息工程大学学报, 2009, 10(4): 522-526.
- [8] 王松. 基于 FPGA 的串行外围接口 SPI 设计与实现[J]. 微计算机信息, 2010, 26(32): 117-119.
- [9] 郭林, 刘文杰, 李跃辉, 等. 基于 FPGA 的可复用 SPI 总线实现[J]. 中国集成电路, 2013(4): 34-37.
- [10] 王文. 基于 FPGA 的 SPI 总线接口的实现[J]. 现代电子技术, 2014(14): 110-112.
- [11] 唐洪富. 基于 LPC 系列单片机的串口扩展器设计[J]. 微型机与应用, 2015(13): 20-23.
- [12] 李天植, 徐熙平, 佟洋, 等. 基于 LPC1752 的 SPI 数据分析系统的设计[J]. 电子测量技术, 2013, 36(10): 119-122.
- [13] 涂立. 基于 LPC2300 系列 ARM 芯片是实现 SPI 通讯[J]. 今日科苑, 2015(12): 188-189.
- [14] 卢亚普. 基于 LPC1768 芯片的测井网络模块设计[J]. 石油管材与仪器, 2014, 28(1): 90-92.
- [15] 刘春林, 杨晖. 基于 ARM 平台的智能安防系统的设计与实现[J]. 现代电子技术, 2015(24): 83-86.
- [16] 童佳宁. 基于 ARM 的嵌入式教学实验系统的设计与实现[J]. 石家庄职业技术学院学报, 2014, 26(2): 61-63.