

doi: 10.7690/bgzdh.2020.11.009

基于以太网的远程双通道信号采集传输装置

贺鹏程¹, 杨高峰²

(1. 海军装备部, 西安 710054; 2. 中国人民解放军海军 92246 部队, 上海 201900)

摘要: 针对多通道模拟信号的远程监测需求, 设计一种基于以太网的远程双通道信号采集传输装置。基于 FPGA 和高速 AD 设计双通道模拟信号采集模块, 通过 FPGA 片上双 RAM 模块的乒乓操作实现两路数字信号的高速缓存与发送, 基于 UDP 传输协议和千兆网络芯片 RTL8211DG 实现数字信号的远程传输, 远程接收端根据接收到的 UDP 包 Mac 地址的不同分别缓存至不同的 RAM 块。结果表明: 该设计能实现两路信号的复现, 具有较强的通用性、移植性和拓展性。

关键词: 以太网; FPGA; 远程采集; 乒乓操作

中图分类号: TP393.02 **文献标志码:** A

Remote Dual Channel Signal Acquisition and Transmission Device Based on Ethernet

He Pengcheng¹, Yang Gaofeng²

(1. Naval Equipment Department, Xi'an 710054, China; 2. No. 92246 Unit of Navy, Shanghai 201900, China)

Abstract: Aiming at the requirement of remote monitoring of multi-channel analog signal, a remote dual channel signal acquisition and transmission device based on Ethernet is designed. The dual channel analog signal acquisition module is designed based on FPGA and high-speed AD. The pingpong operation of dual RAM modules on FPGA chip is used to realize the cache and transmission of two-way digital signals. The remote transmission of digital signals is realized based on UDP transmission protocol and Gigabit network chip RTL8211DG. The remote receiver caches different RAM blocks according to the Mac address of UDP packets received. The results show that the design can realize the reproduction of two signals, and has strong versatility, portability and expansibility.

Keywords: Ethernet; FPGA; remote acquisition; pingpong operation

0 引言

近年来, 装备信息化建设突飞猛进, 基于网络的信息采集与传输技术越来越成为工程技术人员必须掌握的一种基础技能。在武器装备使用维护过程中, 需要经常进行一些模拟信号的实时监测, 比如温度监测、湿度监测、电压监测等, 特别是一些外场测试作业, 需要进行多个测量模拟信号的远程监测。针对多通道模拟信号的远程监测需求, 笔者设计一种通用性强、实时性强、便于移植的双通道模拟信号采集与传输装置, 基于 FPGA 和以太网设计, 可以实现 2 路模拟信号的实时采集与远程显示, 对于装备信号的远程监测和设备的网络化改造有一定的指导作用^[1]。

1 系统分析

如图 1 所示, 系统通过 A 和 B 2 个终端分别采集两路模拟信号, 并通过局域网发送至终端 C。其

中, A/B 端 AD 采样率可根据被监测信号特点进行灵活设置, 最高采样率不低于 10 MHz, 采样位宽为 8 bit, 局域网采用以太网络。终端 C 应能同步实现 A 和 B 2 路信号的再现。

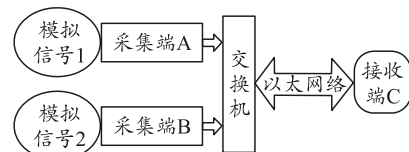


图 1 系统功能组成

根据设计要求, 终端 A/B 数据采样速率不低于 10 M×8 bit/s。根据 UDP 协议进行数据传输, 1 帧 UDP 数据包最小长度 46 字节, 如果按照采集一个字节发送一个字节的发送设计, 则 UDP 发送速率应至少为: 46×10 M×8 bit/s, 即 3 680 Mbit/s, 远远超出千兆网络的通信速率^[2]; 因此, 在终端 A/B 必须加片上缓存。如果一帧 UDP 发送 128 个有效数据, 算上 UDP 包头文件, 一个 UDP 数据包长度为 156 字节,

收稿日期: 2020-07-17; 修回日期: 2020-08-24

作者简介: 贺鹏程(1985—), 男, 四川人, 硕士, 工程师, 从事军事装备学研究。E-mail: marshallplan@163.com。

要匹配 10 M×8 bit/s 的有效数据输入，则需要 UDP 包传输速率不低于 10 M/128 包/s，即 78 125 包/s，等效为 97.5 Mbit/s，对于终端 C 则为 195 Mbit/s^[3]；因此，终端 A/B 内置有效缓存不低于 2×128 Byte；终端 C 内置有效缓存不低于 2×256 Byte。

2 系统设计

系统功能主要包括 AD 采样、FPGA 控制与处理、以太网传输(发送与接收)、DA 转换，其中核心是 FPGA 片上控制逻辑设计，主要包括采集端 A/B 的采集/发送控制逻辑和接收端 C 的接收、DA 输出控制逻辑。AD 采样模块基于 AD9280 设计、DA 转换模块基于 AD9708 设计^[4]。

2.1 采集端设计

采集端功能结构如图 2 所示。其中：AD 采集控制用来控制和协调 AD9280 输入数据的读入、RAM1/2 数据存储和 UDP 发送；UDP 发送用来将 RAM 数据打包成一帧 UDP 数据包上传至网络，或者发送网络应答信号用于测量网络延时^[5]。UDP 接收用来接收终端 C 发送的控制信号，并控制 UDP 发送将应答信号上传至网络。

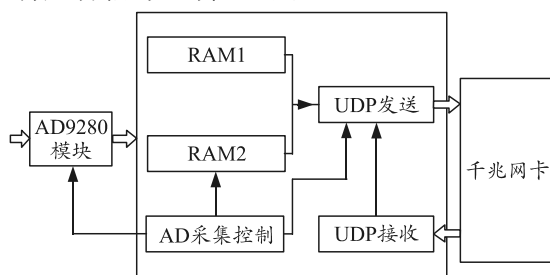


图 2 采集端功能结构

UDP 发送逻辑模块是采集端的核心处理模块，负责从 AD 模块采集到的信号由 clk 时钟与 ram read 控制，通过 ipsend 模块处理后传出。

为了对高速 AD 采集电路送进来的数据流和千兆网络上传数据流进行匹配，在采集端数据流的处理上引入乒乓操作。

ad_to_ram 模块将输入数据流通过 8 bit 数字量拼接为 32 bit 位宽字，并按照等时交替的原则，分别存储至 2 块片上缓存^[6]。片上缓存采用双口 RAM 设计，存储地址由 ad_to_ram 模块指定；ad_to_ram 模块通过地址最高位控制 2 块缓存区域的写使能和读使能，实现 1、2 交替存储和输出，从而避免单个 ram 数据容易导致的输入输出相互影响^[7]。

2.2 接收端设计

接收端通过交换机获取网络数据，内部控制逻辑完成对 AB 2 路数据的解析和模拟量输出。接收端功能结构如图 3 所示。

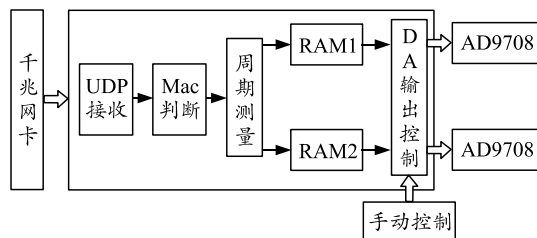


图 3 接收端功能结构

其中 UDP 接收模块以时分的方式分别接收来自终端 A/B 的 UDP 数据包，根据 Mac 地址将 UDP 有效数据解析出来后，分别存储到各自对应的片上缓存中，DA 输出控制顺序读取 RAM 中的数据，并发送给 AD9708 进行信号再现^[8]。手动控制用于控制 AD 转换模块的信号来源，可实现同一个通道分别输出不同 RAM 中的数据。周期测量模块内置数字比较器，用来对两路输入的数字信号进行周期计算^[9]。接收端片上逻辑 RTL 生成如图 4 所示。

通过 clk 时钟、data_receive 对 IPrecieve 模块进行控制，A_or_B 为 0 表示 UDP 接收的是 A 通道数据，为 1 表示接收的是 B 通道数据。

3 系统测试

以 10 M×8 bit 的采样率，利用 AD 采集 8 位数字信号，通过 FPGA 内置 2 片片上双口 RAM，空间均为 32×32 bit，每片 RAM 可缓存 128 字节的数据。当 AD 采样进来 128 个字节数据时，UDP 发送模块启动发送程序，顺序读取上面的 RAM，并打包成一帧 UDP 数据包上传至网络；与此同时，AD 采集进来的数据缓存至下面的 RAM 存储模块；当下面的存储模块存储满 128 字节时，启动 UDP 发送程序，将下面 128 字节的数据打包成一帧 UDP 数据包上传至网络，实现数据流的并判操作与高速传输^[10]。

如图 5 所示，通过 QuartusII 内置 Signal，可以观察数据传输时序图。

为了测试 UDP 发送数据包的速率，通过在 UDP 发送程序中加入一个发送完成指示信号 send_over，每发送一帧 UDP 数据包，该信号产生上升沿一次。如图 6 所示，通过用示波器观察该 FPGA 引脚，实测频率为 78.1 k 包/s，符合设计指标 78.1 k 包/s。

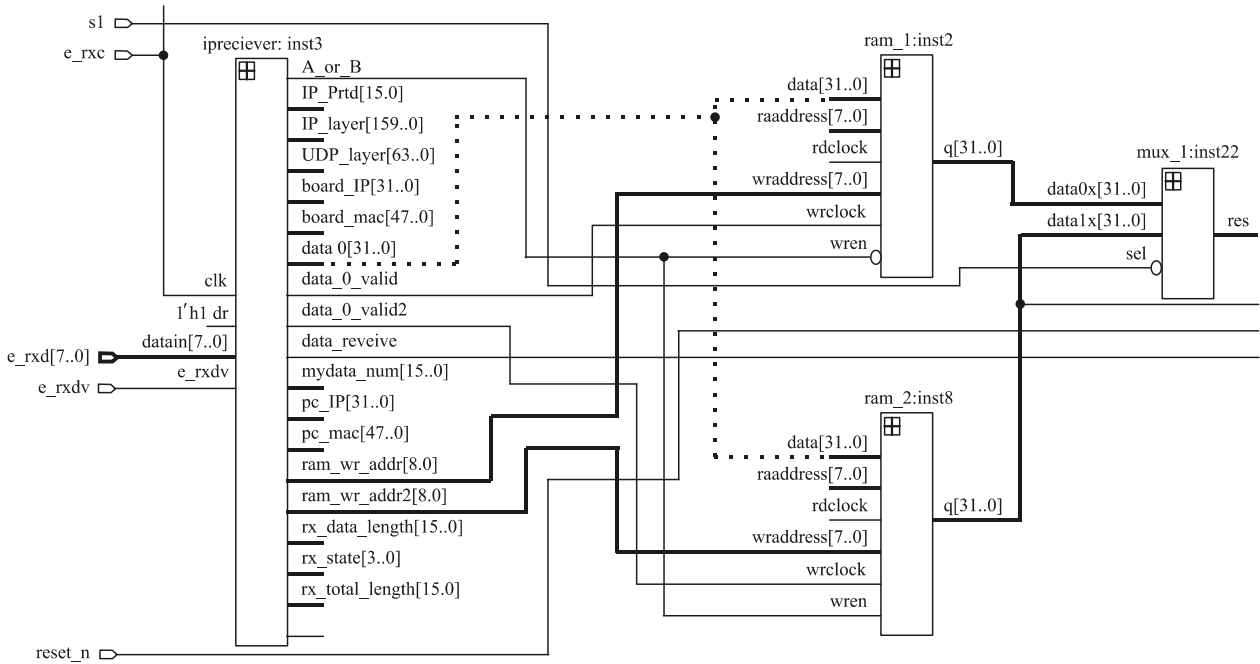


图 4 接收端片上逻辑 RTL 生成

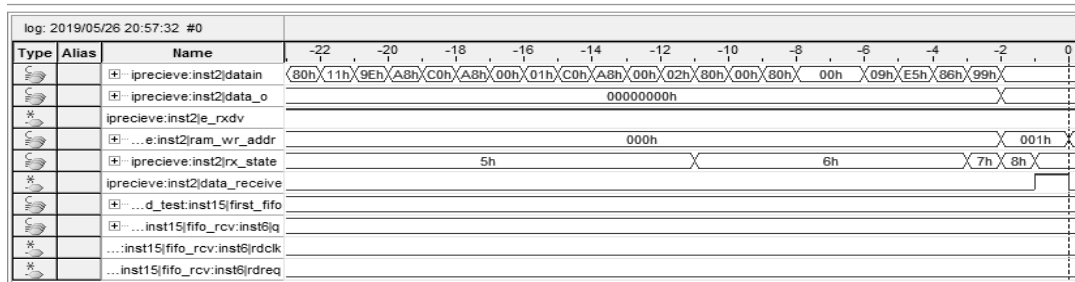


图 5 SignalI 捕获 UDP 发送数据包

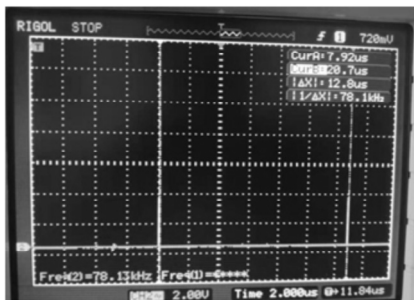


图 6 UDP 发送数据包速率测试

分别对终端 C 的 2 路信号进行测试。如图 7 所示，终端 C 能够同时复现 2 路输入信号。

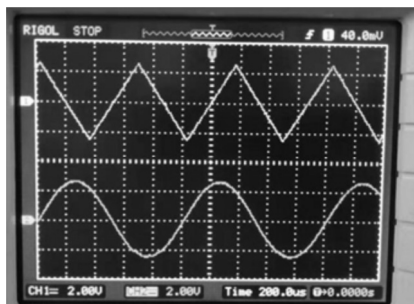


图 7 2 通道信号同时输出

4 结束语

笔者设计的装置通用性、移植性、拓展性很强，可以根据应用场所、待监测信号类型参数等进行灵活的个性化设计，适用于当前部队进行装备信息化、网络化改进的工程应用。在今后的研究工作中，将紧密联系部队基层装备监测工作实际，从网络化、智能化等方面继续研究如何提升武器装备保障效率，重点是基于以太网的多通道远程信号实时监测^[11]。

参考文献:

- [1] 罗敏顺, 潘玉剑. 基于 FPGA 的以太网无线控制 DDS 频率源设计[J]. 电子设计工程, 2019, 27(24): 116-120, 125.
- [2] 王维, 谢泰荣, 胡究华. 一种基于 UDP 的物联网终端掉线检测机制[J]. 电子世界, 2019(23): 134-135.
- [3] 唐文斌, 张振华. 一种网络单向传输文件夹的方法[J]. 科学技术创新, 2019(33): 89-90.