

doi: 10.7690/bgzd.2021.02.015

基于 FPGA 的实时视频边缘检测系统

隋旭阳¹, 陈卓², 刘议聪¹, 李亚南¹

(1. 中国兵器装备集团自动化研究所有限公司特种产品事业部, 四川 绵阳 621000;

2. 蜀鸿置业有限公司, 成都 610041)

摘要: 为解决 Canny 算法计算量大、耗时长以及在视频边缘检测系统应用中实时性较差的问题, 提出一种基于 FPGA 的 Canny 算法硬件加速设计。以模板代替卷积运算, 以流水线形式对系统结构进行改进和优化, 给出实时视频边缘检测系统, 并对相机原图、Sobel 与 Canny 处理图进行实验分析。结果表明: 该系统能实时高效处理复杂图像的边缘, 既能节约硬件资源又能大幅提升处理速度。

关键词: FPGA; Canny; 边缘检测; 实时图像采集

中图分类号: TN919.3 **文献标志码:** A

Real-time Video Edge Detection System Based on FPGA

Sui Xuyang¹, Chen Zhuo², Liu Yicong¹, Li Ya'nan¹

(1. Department of Special Product, Automation Research Institute Co., Ltd. of China South Industries Group Corporation, Mianyang 621000, China; 2. Shuhong Real Estate Co., Ltd., Chengdu 610041, China)

Abstract: In order to solve the problems of Canny algorithm, such as large amount of computation, long time-consuming, and poor real-time performance in the application of video edge detection system, a hardware acceleration design of Canny algorithm is proposed based on FPGA. Template is used instead of convolution, and the structure of the system is improved and optimized with pipeline. Real-time video edge detection system is put forward. Analyze the original image of the camera, the processing images of Sobel and Canny. The results show that the system can efficiently deal with the edge of the complex image in real time. The system can not only save hardware resources but also improve the processing speed greatly.

Keywords: FPGA; Canny; edge detector; real-time image capture

0 引言

边缘检测是图像处理中非常重要的研究领域。边缘提取的好坏直接影响后续处理的准确性与难易程度。常用的边缘检测算法有 Sobel、Laplace、拉普拉斯高斯 (LOG) 算子和 Canny 等^[1]。良好的边缘检测精度使得 Canny 算法在数字图像处理中得到了广泛应用, 但是由于计算量大, 使得 Canny 算法在视频边缘检测系统的实时性较差^[2]。笔者在 FPGA 的基础上, 研究 Canny 边缘检测算法, 根据工程需求进行加速改进, 通过模板代替卷积运算、绝对值代替开平方运算、近似三角函数值等形式, 实现了基于 Canny 算法的实时视频边缘检测系统。流水线的设计深入挖掘了 FPGA 在图像并行处理中的优势; 模块化与参数化的设计增强了工程的移植性。

1 Canny 算法的基本原理

Canny 算法是把边缘检测问题转换为函数极大值问题加以处理, 主要分为 4 个步骤: 图像平滑滤

波、计算梯度的幅值与方向、基于双阈值的非极大值抑制、检测与连接边缘^[2-4]。Canny 算法的基本原理是通过搜索图像的梯度局部最大值从而得到边缘信息, 采用基于双阈值的非极大值抑制消除梯度方向上非极大值的点, 避免边缘非常“厚”的问题^[5-6]。

2 基于 FPGA 的算法加速设计

根据算法原理和实现步骤, 设计 FPGA 的算法加速模块。

2.1 图像平滑滤波

Canny 算法使用 2 维高斯函数的 1 阶导数对图像进行平滑。2 维高斯函数为

$$G(x,y)=1/(2\pi\sigma^2)\exp\frac{-(x^2+y^2)}{2\sigma^2}。$$

式中 σ 为高斯滤波器参数, 控制着平滑程度。对于 σ 小的滤波器, 虽然定位精度高, 但信噪比低; σ 大的情况则相反。为了硬件加速, 通过模板实现高

收稿日期: 2020-09-20; 修回日期: 2020-11-09

作者简介: 隋旭阳 (1993—), 男, 内蒙古人, 学士, 助理工程师, 从事基于 FPGA 的图像处理与光电跟踪技术研究。

E-mail: 13718929571@163.com。

斯平滑滤波器，根据工程调试选取高斯滤波器参数 σ ，进而产生在 FPGA 上做 2 维卷积运算的 3×3 或 5×5 高斯模板。

2.2 计算梯度的幅值

梯度计算同样采用 3×3 的 Sobel 算子模板。模板如下：

$$\mathbf{h} = \begin{bmatrix} -1 & 0 & 1 \\ -2 & 0 & 2 \\ -1 & 0 & 1 \end{bmatrix}, \quad \mathbf{v} = \begin{bmatrix} -1 & -2 & -1 \\ 0 & 0 & 0 \\ 1 & 2 & 1 \end{bmatrix}.$$

式中： \mathbf{h} 为水平方向的模板； \mathbf{v} 为垂直方向的模板。分别与图像做卷积得到水平方向的梯度强度 E_x ，垂直方向梯度强度 E_y ，硬件设计中，梯度幅值采用 $G_r = |E_x| + |E_y|$ 的加速方法代替 $G_r = \sqrt{E_x^2 + E_y^2}$ [7]。

以 3×3 的模板完成 2 维图像卷积运算为例，设计的乘累加阵列结构如图 1 所示。通过 RAM-based Shift Register 或 FIFO 完成 3 行的图像数据缓存，RAM-based Shift Register 适用于视频图像列数尺寸较小的情况，FIFO 适用于视频图像列数尺寸较大、BRAM 资源较丰富的 FPGA 核心。依据模板参数，修改即可得到高斯平滑滤波结果图像、水平方向、垂直方向梯度幅值 E_x 、 E_y 图像。

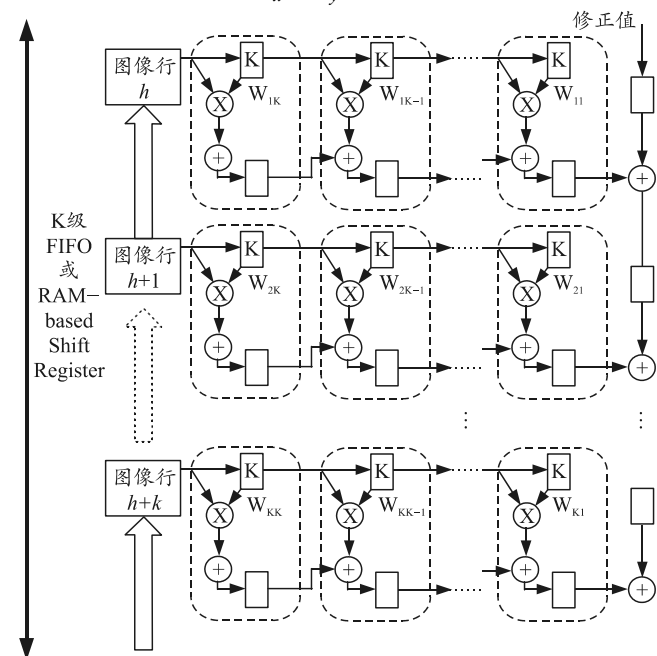


图 1 2 维卷积乘累加阵列设计

2.3 基于双阈值的非极大值抑制

将当前像素的梯度值与沿其梯度方向相邻像素的梯度值进行比较，如果其梯度幅值小于其梯度方向相邻像素点的对应值，则被判断为非边缘点，并

将其边缘梯度值设为 0；反之，则说明当前点为极大值点。这样就得到大致的边缘图像，但边缘图像边缘处太密。笔者依据工程需要，设计双阈值接口，如果梯度幅值大于高阈值，则判断为边缘点，置为 255；将幅值小于低阈值的置 0 处理；如果幅值大于低阈值且小于高阈值，则留待检测与连接边缘步骤进行处理 [8-10]。

如图 2 所示，计算梯度方向时，根据对称性，将一条直线上的 2 个方向用 1 个方向来表示，仅需知道法向方向在哪一条线上即可。梯度方向的计算分为 4 个方向：水平、垂直、 45° 和 135° 方向，且每个方向上均包含 2 个 45° 的范围 [11]。

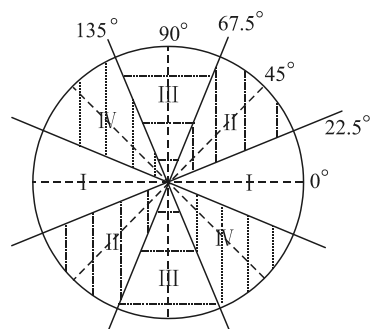


图 2 梯度方向分解

通过 E_x 和 E_y 的比值及正负可以确定梯度方向落在上面规定的 4 个方向之一 [12]：

- 水平 (0° 与 180°) (I 方向)： $|E_y / E_x| < \tan 22.5^\circ$ ；
- 45° 与 225° (II 方向)： $\tan 22.5^\circ < |E_y / E_x| < \tan 67.5^\circ$ 且 $E_x \times E_y > 0$ ；
- 垂直 (90° 与 270°) (III 方向)： $|E_y / E_x| > \tan 67.5^\circ$ ；
- 135° (IV 方向)： $\tan 22.5^\circ < |E_y / E_x| < \tan 67.5^\circ$ 且 $E_x \times E_y < 0$ 。

基于 FPGA 实现中， $\tan 22.5^\circ$ 与 $\tan 67.5^\circ$ 采用近似方法实现硬件加速：

$$\tan 22.5^\circ \approx 0.414 \approx \frac{1}{2} - \frac{1}{16} = 0.4375;$$

$$\tan 67.5^\circ \approx 2.414 \approx \frac{1}{2} - \frac{1}{16} + 2 = 2.4375.$$

通过简单的移位运算和加减法运算，降低了算法的复杂度和硬件资源消耗 [13]。

2.4 检测与连接边缘

对基于双阈值的非极大值抑制处理后图像的每个点再次判断其邻域，若其邻域均为 0，则说明这是一个孤立的边缘点，将其置为 0；若其邻域

内有非 0 的点，无论是 255 还是处于中间的保留值，都说明这个点可以作为边缘连接点，将其置为 255。

3 实时视频边缘检测系统的实现

根据算法设计方案，实时视频边缘检测系统硬件实现如图 3 所示。

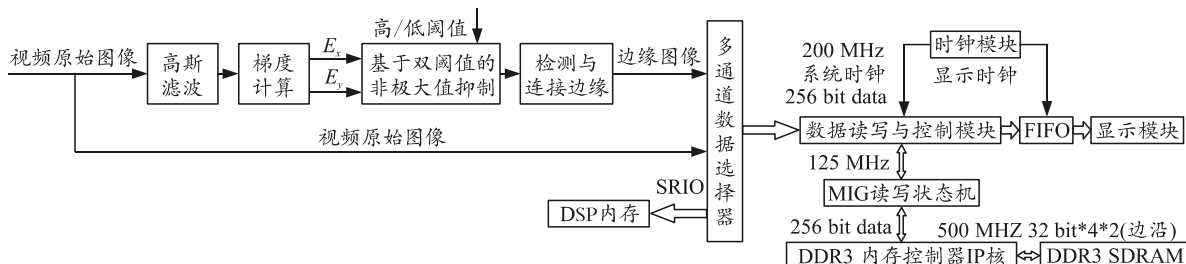
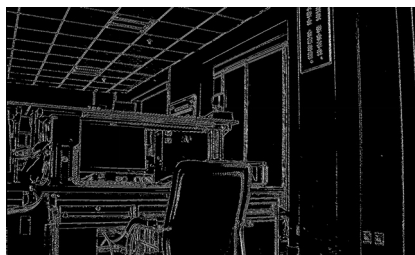


图 3 Canny 边缘检测硬件实现

视频原始图像采集后分为 2 个通道：一路基于 Canny 算法完成实时视频边缘检测，然后与另一路原始视频通过多通道数据优先级仲裁模块完成在 DDR3 SDRAM 中的缓存，最终通过显示模块完成视频图像的拼接或独立显示^[14]。系统加入多通道 SRIO 传输模块，完成原始、边缘视频与 DSP 传输，方便后续图像处理算法的调用。

4 实验结果

在 Xilinx Kintex-7 系列 FPGA 上实现实时视频边缘检测系统，分辨率 1 080 p，帧频 60 fps，通过 SRIO 传输至 DSP 端内存，使用 TI Code Composer Studio 开发工具，获取相机原图与 FPGA 边缘处理图像如图 4 所示。通过对比 Sobel 的处理结果，Canny 算法消除了实际边缘附近的噪声，边缘得到细化，更加凸显物体边缘特征。加入基于直方图的阈值选择模块代替双阈值的手动调整，可实现双阈值的自动选取。



(c) Canny 处理

图 4 相机原图、Sobel 与 Canny 处理

5 结论

笔者通过对 Canny 算法的分析，结合 FPGA 硬件特点，实现了视频实时边缘检测系统。由于 FPGA 的并行处理特性，像素的读、写、移位、乘累加运算同时在模块内部进行；高斯平滑滤波、梯度幅值计算、基于双阈值的非极大值抑制、检测与连接边缘 4 个模块之间流水线设计，使得处理过程中不需要完成完整一帧图像的缓存，仅进行模板所需行数的数据缓存，即可开始数据的处理与输出，在节约硬件资源的同时大幅提升处理速度，满足高分辨率高帧频图像处理领域视频边缘检测系统的实时性要求。系统工作稳定可靠，参数化设计具有较强的可移植性。

参考文献：

- [1] 韦海洋, 赵保军, 唐林波, 等. Canny 算法的改进及其硬件的实现[J]. 光学技术, 2006, 32(2): 263-266.
- [2] 冯柳, 高晓蓉. Canny 算法的改进及 FPGA 实现[J]. 电子技术应用, 2008, 34(4): 34-36.
- [3] 郝锐敏. 基于 FPGA 的视频采集与边缘检测系统设计及实现[D]. 太原: 中北大学, 2018.
- [4] 汪睿琪, 石守东, 林宜丙. 基于 FPGA 改进的 Canny 实时边缘检测系统[J]. 无线通信技术, 2017, 26(3): 32-37.



(a) 原图



(b) Sobel