

doi: 10.7690/bgzdh.2024.04.012

# 基于 FPGA 与 Modbus 的便携式信号源设计

江蔚<sup>1</sup>, 李森<sup>2</sup>, 袁强<sup>2</sup>, 唐建<sup>2</sup>

(1. 陆军装备部驻重庆地区军事代表局驻重庆地区第四军事代表室, 重庆 400060;

2. 中国兵器装备集团自动化研究所有限公司特种计算机事业部, 四川 绵阳 621000)

**摘要:** 针对便携式、小型化与低功耗的需求, 采用可编程逻辑器件 FPGA 作为主控制器, 设计一款便携式双通道信号源。采用 CORDIC 算法实现 DDS 正弦信号的产生, 输出 2 路幅频相连续可调的正弦信号; 利用智能触控屏设计信号源的人机交互接口, 对信号源参数进行配置与实时显示; 触控屏与 FPGA 之间采用 Modbus RTU 协议进行通信。实际测试结果表明: 该信号源输出的正弦信号频率稳定性好, 相位、幅值调节准确性好, 能够满足测试设备的需求。

**关键词:** FPGA; CORDIC; DDS; Modbus RTU**中图分类号:** TP274 **文献标志码:** A

## Design of Portable Signal Source Based on FPGA and Modbus

Jiang Wei<sup>1</sup>, Li Sen<sup>2</sup>, Yuan Qiang<sup>2</sup>, Tang Jian<sup>2</sup>

(1. No. 4 PLA Presentation Office in Chongqing District, PLA Representation Bureau in Chongqing, Army Equipment Department, Chongqing 400060, China;

2. Department of Special Computer, Automation Research Institute Co., Ltd. of China South Industries Group Corporation, Mianyang 621000, China)

**Abstract:** In response to the requirements of portability, miniaturization, and low power consumption, a portable dual channel signal source is designed using a programmable logic device FPGA as the main controller. Adopting the CORDIC algorithm to generate DDS sine signals, outputting two continuously adjustable amplitude frequency phase sine signals; Design a human-machine interaction interface for the signal source using an intelligent touch screen, configure and display the signal source parameters in real-time; The touch screen communicates with FPGA using Modbus RTU protocol. Through practical testing, the results show that the sine signal output by this signal source has good frequency stability, good accuracy in adjusting phase and amplitude, and can meet the requirements of testing equipment.

**Keywords:** FPGA; CORDIC; DDS; Modbus RTU

## 0 引言

随着数字集成电路的发展, 数字信号源作为基本的电子设备广泛应用在电路测试、雷达、超声驱动以及变频电源中。数字信号源可以产生扫频信号、逆变驱动信号控制雷达与变频电源等系统。模拟信号源操作简单、频谱纯度高; 但存在频率、幅值调节困难、频率调节范围窄、受环境影响较大的缺点, 在实际使用中越来越少。数字信号源具有频率调节精度高、相位调节连续性好、幅度调节响应迅速等优点, 因而在电子系统中得到越来越广泛的应用。

目前, 常用的数字信号源设计架构有“MCU+DDS 芯片”“FPGA+DDS 芯片”以及 FPGA 独立作为信号发生器的架构<sup>[1]</sup>。基于便携式、低功耗、高可靠的需求, 本系统采用独立的 FPGA 作为系统的控制器; 同时采用 CORDIC 算法<sup>[2]</sup>, 减小了因查表法对 FPGARAM 资源的消耗, 降低了 FPGA

的成本。利用智能触控屏对数字信号源的参数进行配置, 提高了人机交互的便捷性。该信号源可以输出 2 路 DDS 正弦信号, 相位差在 0~360°连续可调, 步进值为 1°; 幅度 0~5 V 连续可调, 步进值为 0.01 V; 频率 1~10 MHz 连续可调, 步进值为 1 kHz。经过实际测试, 该信号源的输出特性满足设计指标要求。

## 1 系统总体设计

系统的整体结构如图 1 所示, 由人机接口 (human machine interface, HMI)、串口通信接口、FPGA 处理系统、DAC 与信号调理电路 4 部分组成。其中: HMI 由智能触控屏组成, 用于设定参数的输入与当前参数的显示; 串口通信用于实现 RS485 与 RS232 通信; FPGA 系统用于实现 Modbus RTU 协议以及 DDS 信号发生器的功能; DAC 与信

收稿日期: 2023-12-23; 修回日期: 2024-01-25

第一作者: 江蔚(1982—), 女, 湖北人。

通信作者: 李森(1993—), 男, 四川人, 硕士。

号调理电路用于将数字信号转换为模拟信号，同时对信号进行幅值变换与低通滤波<sup>[3]</sup>。

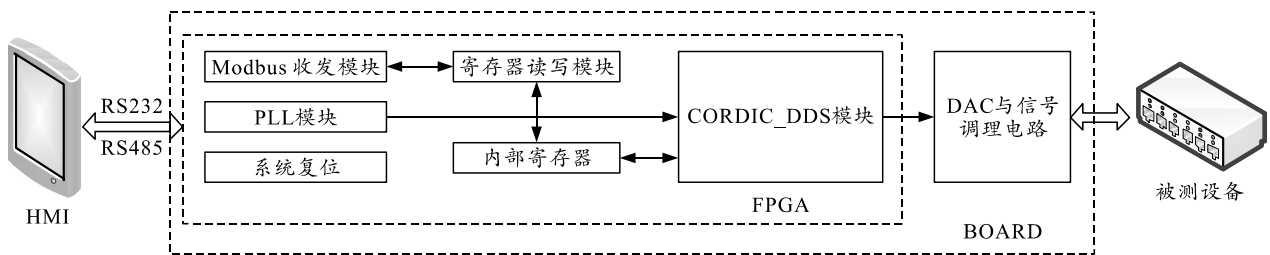


图 1 系统整体结构

## 2 CORDICDDS 设计

### 2.1 DDS 基本原理

DDS 也叫直接数字频率合成，是通过直接数字频率合成的方式<sup>[4]</sup>，合成需要的数字波形，具有相位连续性好、频率响应时间短、频率精度高等优点，鉴于以上优点 DDS 技术在频率合成与波形发生领域得到了广泛应用。DDS 原理的流程如图 2 所示，DDS 的基本结构如图 3 所示。当每个时钟到来时，相位线性递增，随着相位的不断递增，输出波形的值也不断刷新。在 DDS 中，相位累加器的溢出周期，就是 DDS 信号发生器输出信号的周期。设频率控制字  $f_{word}$  的值为  $M$ ，相位累加器为  $N$  位，则输出信号的频率  $f_{out}$  与系统时钟  $f_{clk}$  的关系为  $f_{out}=M \times f_{clk}/2^{N[5-6]}$ 。

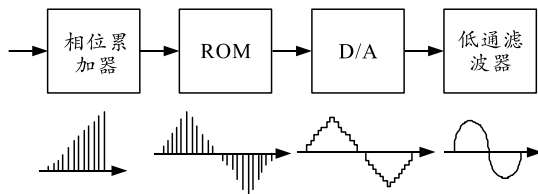


图 2 DDS 原理流程

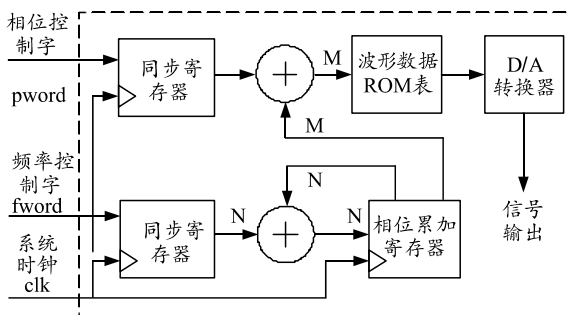


图 3 DDS 基本结构

### 2.2 CORDIC DDS 实现

如图 4 所示，相比于传统的查找表，CORDIC 算法实现 DDS 正弦信号精度更高，其结构与传统的 DDS 基本相同。只需将传统的 DDS 结构中的 ROM 查找表模块，用 CORDIC 迭代模块、角度转换模块和三角函数转换模块替换，将相位控制寄存器与相

位累加寄存器的和，作为角度转换模块的输入，CORDIC 迭代的输出，作为三角函数转换模块的输入，三角转换模块的输出，就是最终的数字正弦、余弦波。通过编写 Verilog 代码，并在 ModelSim 中进行仿真，其结果如图 5 所示。

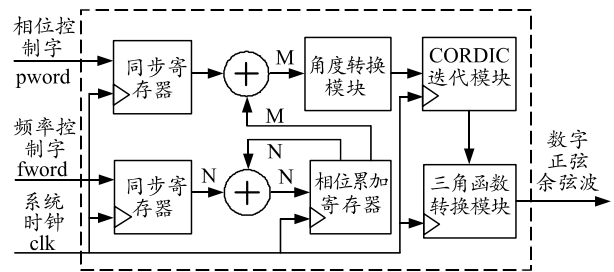


图 4 CORDIC\_DDS 结构

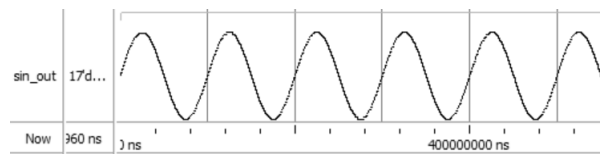


图 5 CORDIC 正弦波

### 2.3 幅频相调节实现

正弦波频率的调节是通过控制 CORDIC\_DDS 结构中输入频率控制字的值来调节频率的大小，频率控制字本质上就是控制信号的相位累加速度，频率控制字数值越大，则相位累加的越快，单位时间内信号的完整波形就越多，频率就越高。通过调节频率控制字的数值，从而改变频率，其仿真波形如图 6 所示，由图可知随着频率控制字值的增加，输出信号的频率越来越高。通过改变相位控制字的数值大小可以调节初始相位，其计算公式为  $P_{word}=2^M \times \varphi/360^\circ$ ，式中： $M$  为相位寄存器的位数； $\varphi$  为需要设置的相位值； $P_{word}$  为相位控制字，其仿真波形如图 7 所示。为便于观察，设置相位调节的步进值为  $30^\circ$ ，实际中调节的精度，设计为  $1^\circ$ 。通过采用移位与乘上幅值控制因子的方法实现正弦波幅值的调节，具体实现过程为：将 CORDIC\_DDS 输出的数字正弦波，先进行算术右移 10 位，然后再乘上幅值控制因子，即可实现幅度的调节，每一次

的步进值为 1，其仿真波形如图 8 所示，上面为整体效果，下面为局部放大细节。利用 DDSROM 查表法生成的正弦波仿真结果如图 9 所示，由图可知，波形量化失真严重；因此，采用 CORDIC 算法，产生的正弦波，精度更高。

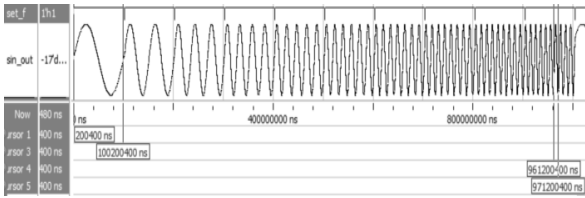


图 6 频率调节

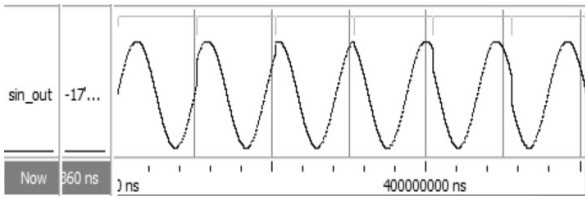


图 7 相位调节

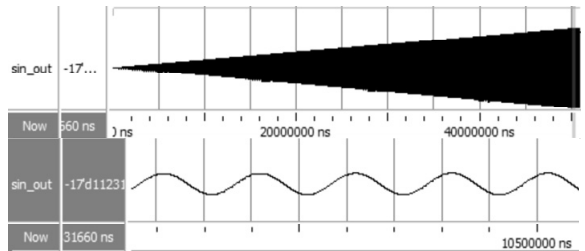


图 8 CORDIC 幅值调节

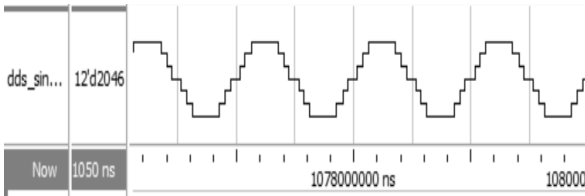


图 9 ROM 表幅值调节

### 3 Modbus 协议设计

Modbus 通信协议是一种工业标准通信协议，广泛应用于仪器仪表中，Modbus 协议分为 Modbus RTU 与 Modbus ASCII 2 种模式。在本系统中，触控屏与 FPGA 之间采用 Modbus RTU 协议进行通信，RTU 模式的帧格式如表 1 所示<sup>[7]</sup>。

表 1 Modbus RTU 帧格式 bit

| 从机地址 | 功能码 | 数据  | CRC 校验 |
|------|-----|-----|--------|
| 8    | 8   | M×8 | 16     |

在设计中 Modbus 通信协议的处理采用 FPGA 进行设计实现，根据功能需求，采用模块化设计的思想，将 Modbus RTU 协议划分为：1) 串口收发模块 uart；2) modbus 帧接收模块 modbus\_rec；3)

modbus 帧发送模块 modbus\_send；4) 协议控制模块 protocol\_ctrl。整个 modbus RTU 协议处理模块的结构框如图 10 所示<sup>[8]</sup>。

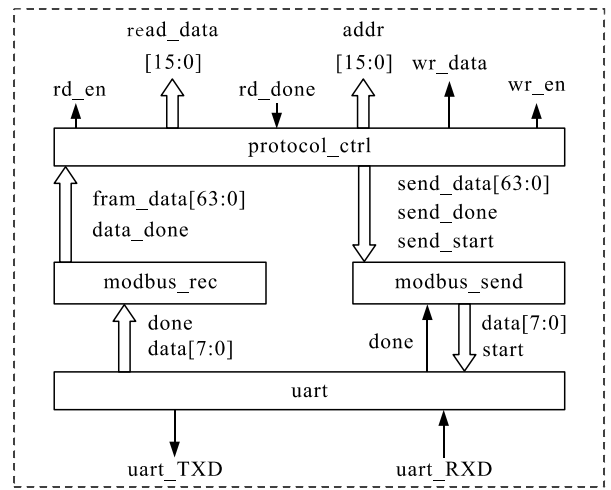


图 10 Modbus RTU 协议处理

#### 3.1 串口收发 uart 模块

uart 模块用于实现 Modbus RTU 协议最底层的数据传输。在发送数据时，它将需要发送的每一帧数据，以字节为单位，按照串口协议逐个发送出去；接收数据时，将通信总线上的数据按照串口协议逐 bit 接收，每接收完一个字节，就将该字节数据发送给 Modbus\_rec 模块。uart 模块的接口设计如图 11 所示，其中：1) clk 为系统时钟端口；2) reset\_n 为系统复位，低有效；3) RXD 为串口串行数据接收端；4) TXD 为串口串行数据发送端；5) data\_in[7:0] 为发送的并行数据输入；6) send\_start 为发送使能，高有效；7) send\_done 为发送完成标志，高有效；8) ata\_out 为并行数据输出端口；9) rec\_done 为接收数据完成的标志。

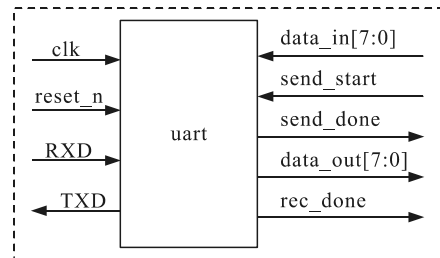


图 11 uart 模块接口

#### 3.2 Modbus\_send 模块

Modbus\_send 模块用于实现将需要发送的数据帧按字节传递给 uart 模块，通过 uart 模块将数据帧按字节发送出去。Modbus\_send 模块的接口设计如图 12 所示，其中：1) uart\_send\_start 为传递给 uart 模块的发送使能；2) uart\_send\_data[7:0] 为传递给

uart 模块的并行数据；3) `uart_send_done` 为 uart 模块发送完成的标志；4) `frm_send_start` 为数据帧发送的起始信号，高有效；5) `frm_send_data[63:0]` 为待发送的数据帧；6) `frm_send_done` 为数据帧发送结束的标志信号，高有效。

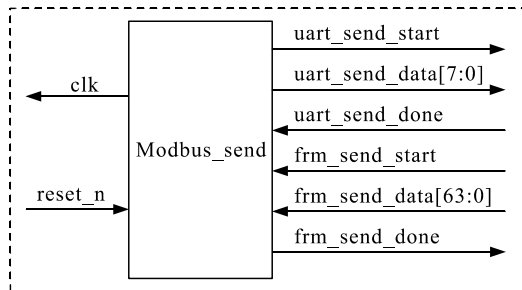


图 12 Modbus\_send 模块接口

### 3.3 Modbus\_rec 模块

Modbus\_rec 模块用于实现 modbus RTU 协议的数据接收。将 uart 模块接收的数据按字节进行接收，并且按照 Modbus RTU 协议的格式进行存储。当一帧数据接收完毕后，该模块发出帧接收完毕的标志，将按字节对数据进行接收；当一帧数据接收完毕后，输出帧接收完毕的标志，同时输出数据帧。Modbus\_rec 模块的接口设计如图 13 所示，其中：1) `rec_done` 为串口每一个字节接收完毕的标志信号输入，高有效；2) `data_in[7:0]` 为串口模块数据输入；3) `frm_rec_done` 为 Modbus 协议一帧数据接收完毕的标志输出，高有效；4) `frm_data_out[63:0]` 为 Modbus 协议的数据帧输出。

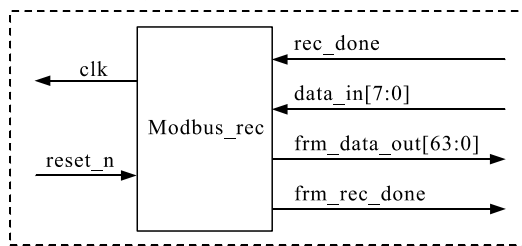


图 13 Modbus\_rec 模块接口

### 3.4 protocol\_ctrl 模块

protocol\_ctrl 模块用于对 FPGA 与触控屏的数据交互过程进行控制。protocol\_ctrl 模块的接口设计如图 14 所示。在 FPGA 接收触控屏数据的过程中，当 `frm_rec_done` 信号有效时，采样 `frm_rec_data[63:0]` 端口上的数据，然后对接收的数据进行 CRC16 校验，当 CRC16 校验正确后，对功能码与寄存器地址进行判断，如果功能码为修改数据，则 `wr_en` 有效，并将写寄存器的数据与地址从 `wr_data[15:0]`、`addr[15:0]` 端口上输出给每部寄存器

单元；如果功能码为查询数据，则 `rd_en` 有效，并从 `addr[15:0]` 输出查询寄存器的地址。在 FPGA 发送数据给触控屏的过程中，FPGA 根据接收到的功能码，产生回复给触控屏的数据，回复数据准备完毕后，将 `frm_send_start` 置位，同时将回复数据从 `frm_send_data[63:0]` 输出。

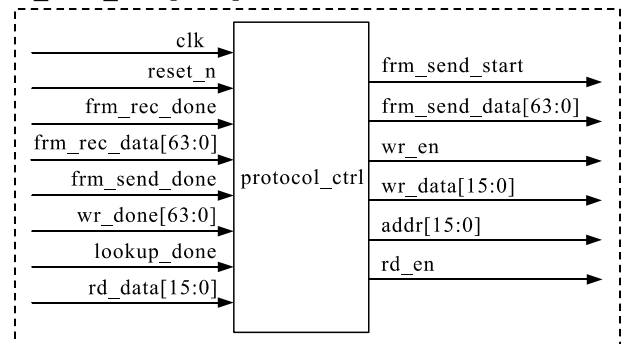


图 14 protocol\_ctrl 模块接口

### 3.5 CRC 校验模块

CRC 校验模块为 protocol\_ctrl 模块的一个子模块，用于对接收数据进行校验，生成发送数据的校验位<sup>[9]</sup>。CRC 校验的实现方法有 3 种：1) 逐比特比较法，根据多项式的定义，采用模二除法。该方法简单，但是运行速度受数据长度的限制，如果数据长度不断加长，则运行时间也将增加。2) 查找表法，设计简单，但是查找表的大小取决于数据的信息位数，当查找表信息位数较大时，查找表的建立与存储存在一定难度。3) 并行计算法，是根据校验多项式的反馈特性，将串行反馈特性，等效为并行计算，这种方法的特点是计算速度快，只需一个时钟周期即可完成运算。为保证校验计算的速度，笔者采用并行计算的方式，产生 CRC16 校验码。CRC16 模块的接口设计如图 15 所示，其中：1) `crc_en` 为 CRC 校验的使能信号，高有效；2) `data_in` 待校验的数据输入；3) `crc16_out[15:0]` 校验码输出；4) `crc_done` 为 CRC 校验完毕的输出信号，高有效。

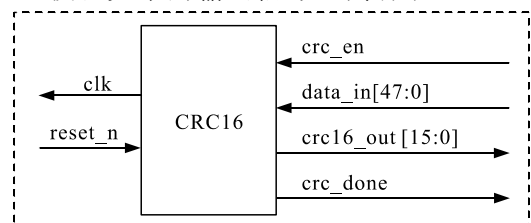


图 15 CRC16 模块接口

## 4 HMI 设计

常规的信号源只有一个黑白 LCD 显示屏显示单一的参数，为使信号源具有良好的交互性与可视

性，采用智能触控屏作为本系统的 HMI，该触控屏支持 RS232、RS485 通信接口，具有良好的兼容性与扩展性，便于灵活设计。

在 HMI 的设计中，设计了启动界面与配置界面，分别如图 16—18 所示。启动界面作为整个信号源开机启动时的入口界面，同时也是屏幕保护界面，防止对参数的随意修改，从启动界面进入到参数配置界面，需要输入系统密码，否则无法进入到参数配置界面。参数配置界面用于对信号源输出正弦信号的相位、频率、幅度进行设置，当需要对参数进行调整时，只需输入目标值，即可将信号源的参数调整到设定值；环境温度显示栏用于显示信号源当前工作环境的温度；校正用于对系统进行校正。



图 16 启动界面



图 17 输入密码

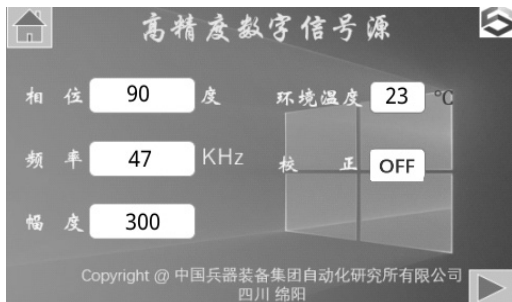


图 18 参数配置界面

### 5 实际测试与验证

为验证该信号源设计的正确性<sup>[10]</sup>，搭建了如图 19 所示原型系统。为测试输出频率、相位、幅值的准确性，设定相应的参数值，并用示波器对输出双通道正弦波进行测量。随机抽取 2 组测试结果，当

频率设定为 10 MHz、相位差设定为 0、幅度设定为 5 V 时的测量结果如图 20 所示；当频率设定为 10 kHz、相位差设定为 120°、幅度设定为 0.5 V 时的测量结果如图 21 所示。

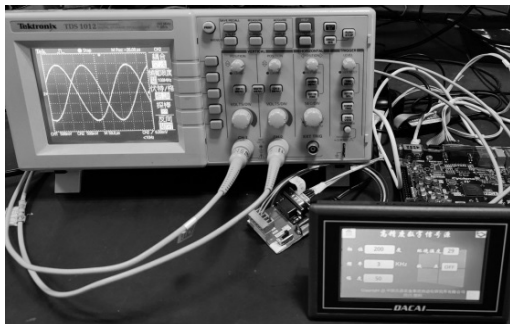


图 19 原型系统

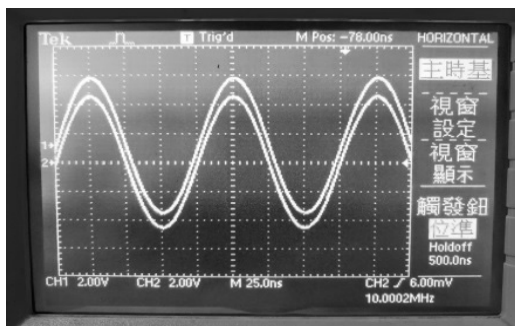


图 20 测量结果 1

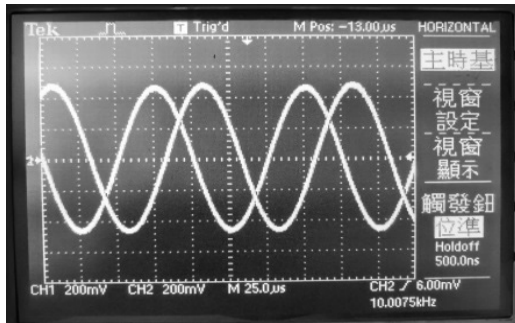


图 21 测量结果 2

由上图可知，该信号源输出信号的频率、相位、幅度与设定值相同，因此设计正确。

### 6 结束语

基于某测试设备对测试信号源的需求，笔者利用 FPGA 作为主控制器设计了一款便携式信号源，用于对某特定待测电路进行测试，解决了被测设备对小型化、低功耗、便携式的需求。该系统利用 CORDIC 与 DDS 技术相结合，实现了双通道正弦信号的产生；通过智能触控屏，利用 Modbus RTU 协议，在保证数据稳定性的同时，可便捷地对信号源的频率、相位、幅值进行快速地修改与设置。通过实际测试，该信号源满足设计需求，可为信号源的

设计提供参考。

### 参考文献:

- [1] 刘宇, 姚远程, 秦明伟. 基于FPGA的多通道信号源设计与实现[J]. 测控技术, 2020, 39(10): 56-61.
- [2] 董宇飞, 李开成, 宋朝霞, 等. 基于改进CORDIC算法的快速幅频可调DDS技术[J/OL]. 电测与仪表 [2022-05-17]: 1-9. <https://kns.cnki.net/kcms/detail/23.1202.TH.20220516.1517.004.html>.
- [3] 任勇峰, 姜喜洋, 焦新泉, 等. 基于FPGA与AD9744的高精度信号源的系统设计[J]. 仪表技术与传感器, 2019(6): 101-105.
- [4] 李玲霞, 贾帅, 卢伟, 等. 基于FPGA的AD9915控制设计[J]. 电子器件, 2018, 41(2): 489-494.
- [5] 王俊浩, 张小玲, 谢雪松, 等. 基于DDS技术的波形发  
\*\*\*\*\*  
(上接第45页)
- [11] 冼祥贵. 基于深度学习的日冕物质抛射检测模型[D]. 昆明: 昆明理工大学, 2021.
- [12] 李彬, 王平, 赵思逸. 基于双重注意力机制的图像超分辨率重建算法[J]. 图学学报, 2021, 42(2): 206-215.
- [13] 张志浩. 基于深度学习的视觉辅助算法研究[D]. 青岛: 青岛科技大学, 2021.
- [14] 陈文文. 图像超分辨率重建算法研究与实现[D]. 成都: 电子科技大学, 2020.
- [15] 吕恩辉. 基于卷积神经网络的图像分类研究[D]. 徐州: 中国矿业大学, 2019.
- [16] 黄泽华, 丁学明. 融合通道注意力机制和深度编解码卷积网络的道路场景分割[J]. 小型微型计算机系统, 2021, 42(11): 2362-2367.
- [17] HU J, SHEN L, SUN G. Squeeze-and-excitation networks[C]//Proceedings of the IEEE conference on computer vision and pattern recognition. IEEE, 2018: 7132-7141.
- [18] 王诗言, 曾茜, 周田, 等. 基于注意力机制与特征融合的图像超分辨率重建[J]. 计算机工程, 2021, 47(3): 269-275, 283.
- [19] 张开心. 基于深度学习的图像超分辨率重构方法研究[D]. 南京: 南京邮电大学, 2021.
- [20] TIMOFTE R, AGUSTSSON E, VAN GOOL L, et al. Ntire 2017 challenge on single image super-resolution: Methods and results[C]//Proceedings of the IEEE conference on computer vision and pattern recognition workshops. IEEE, 2017: 114-125.
- [21] BEVILACQUA M, ROUMY A, GUILLEMOT C, et al. Low-complexity single-image super-resolution based on nonnegative neighbor embedding[C]//Electronic Proceedings of the British Machine Vision Conference 2012BMVC, 2012.
- [22] ZEYDE R, ELAD M, PROTTER M. On single image scale-up using sparse-representations[C]//Curves and Surfaces: 7th International Conference, Avignon, France, June 24-30, 2010, Revised Selected Papers 7. Springer Berlin Heidelberg, 2012: 711-730.
- [23] LEDIG C, THEIS L, HUSZÁR F, et al. Photo-realistic single image super-resolution using a generative adversarial network[C]//Proceedings of the IEEE conference on computer vision and pattern recognition. IEEE, 2017: 4681-4690.
- [24] LIM B, SON S, KIM H, et al. Enhanced deep residual networks for single image super-resolution[C]//Proceedings of the IEEE conference on computer vision and pattern recognition workshops. IEEE, 2017: 136-144.
- [25] KIM J, LEE J K, LEE K M. Accurate image super-resolution using very deep convolutional networks[C]//Proceedings of the IEEE conference on computer vision and pattern recognition. IEEE, 2016: 1646-1654.
- [26] ZHANG Y, TIAN Y, KONG Y, et al. Residual dense network for image super-resolution[C]//Proceedings of the IEEE conference on computer vision and pattern recognition. 2018: 2472-2481.
- [27] ZHAO H, KONG X, HE J, et al. Efficient image super-resolution using pixel attention[C]//Computer Vision-ECCV 2020 Workshops: Glasgow, UK, August 23-28, 2020, Proceedings, Part III 16. Springer International Publishing, 2020: 56-72.
- [28] TIAN C, XU Y, ZUO W, et al. Coarse-to-fine CNN for image super-resolution[J]. IEEE Transactions on Multimedia, 2020, 23: 1489-1502.