

doi: 10.3969/j.issn.1006-1576.2012.09.022

基于 CPCI 总线的运载火箭脉冲信号多路采集卡

杨甘霖¹, 蔡远文², 姚静波³, 党常平¹

(1. 装备指挥技术学院研究生管理大队, 北京 101416; 2. 装备指挥技术学院试验指挥系, 北京 101416;
3. 装备学院航天装备系, 北京 101416)

摘要: 根据运载火箭地面测试的特点与要求, 设计了一种运载火箭多路脉冲信号采集卡。采集卡采用 FPGA 芯片内计数器的方式实时采集多路脉冲信号, 并利用 PCI9054 芯片将采集后的数据通过 CPCI 总线传输至上位机。采集卡经过试验, 结果表明, 该设计方案满足要求。与当前运载火箭脉冲信号地面测试设备相比, 该采集卡具有体积小、集成度高、可靠性高和占用资源少等优点。

关键词: 脉冲信号; 信号采集; CPCI; 运载火箭

中图分类号: TJ86 **文献标志码:** A

Multi-Channel Launch Vehicle Pulse Signal Acquisition Card Based on CPCI Bus

Yang Ganlin¹, Cai Yuanwen², Yao Jingbo³, Dang Changping¹

(1. *Administrant Brigade of Postgraduate, Institute of Command & Technology of Equipment, Beijing 101416, China;*
2. *Dept. of Testing & Command, Institute of Command & Technology of Equipment, Beijing 101416, China;*
3. *Dept. of Aerospace Equipment, Institute of Command & Technology of Equipment, Beijing 101416, China*)

Abstract: A signal acquisition card for launch vehicle multi-channel pulse signal is designed according to the characteristics and requirements of launch vehicle ground testing. Acquisition card uses the FPGA chip counter to transport acquired real-time multi-channel pulse signal to upper PC through CPCI bus. The acquisition card is tested, the results show that the design scheme satisfied the requirements. Compared with the current launch vehicle pulse signal ground test equipment, the designed card has the advantage of smaller size, higher integration and reliability, less resource expense, etc.

Key words: pulse signal; signal acquisition; CPCI; launch vehicle

0 引言

随着航天技术的不断发展及航天发射场信息化建设的不断推进, 测试新技术、新体系的引入势在必行^[1]。航天测试发射控制系统“通用化、系列化、组合化”设计, 代表了今后航天发射场地面设备发展的一个主要方向^[2]。

随着运载火箭技术发展, 地面测试中被测信号通道增多, 要求测试设备体积小、且满足高可靠性和高集成度^[3]。由于现役的地面测试设备并不能满足上述需求, 因此, 笔者针对运载火箭地面测试中脉冲信号的检测, 开发出一种脉冲信号采集卡。该采集卡采用 FPGA+CPCI 总线设计, 是新一代运载火箭地面测试设备中一部分, 能将运载火箭传送到地面的多路脉冲信号实时采集, 并传输相关数据。

1 系统介绍

采集卡主要用于完成对运载火箭姿控系统中

32 通道脉冲信号的采集, 其中 30 路为加速度计和陀螺仪产生的数字脉冲信号, 1 路为 IF 频标信号, 剩余 1 路为备份。32 通道脉冲信号送入脉冲信号采集卡后首先经过隔离调理电路, 经过隔离调理后脉冲信号送入 FPGA, FPGA 完成对脉冲信号的计数, 将所累计的脉冲数每 40 ms 锁存一次, 然后将锁存的数据通过 PCI9054 芯片经 CPCI 总线上传至工控机, 完成脉冲信号的采集及数据传输功能。系统的设计主要包括隔离调理、信号采集、CPCI 接口 3 个主要电路模块, 脉冲信号采集卡结构框图如图 1。

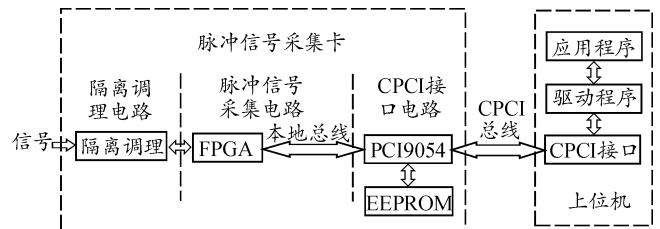


图 1 脉冲信号采集卡结构图

收稿日期: 2012-03-14; 修回日期: 2012-05-02

作者简介: 杨甘霖(1986—), 男, 湖北人, 在读硕士, 从事自动化测试与控制研究。

2 系统设计

2.1 信号隔离调理设计

被测的运载火箭脉冲信号具有一定电压阈值，需要在信号采集前对信号进行隔离调理。信号隔离调理的目的是完成缓冲、放大、衰减、滤波、隔离和线性化传感器信号等操作，大多数对模拟信号采用磁隔离，对数字信号采用光隔离^[4]。

采集卡的隔离调理部分设计方案为光耦隔离加施密特触发器整形。设计的脉冲信号隔离调理模块将输入脉冲信号隔离调理为同频率 TTL 计数脉冲电平，然后送计数器中计数。高速光耦采用 TLP114A，隔离电压为 3 750 Vrms(最小)，转换速率为 0.8 μs，由于所采集的脉冲信号具有一定的驱动能力，能够提供 10 mA 以上的电流，可以直接驱动光耦，当脉冲输入为高电平时，经隔离调理后输出为高电平，输入为低电平时，输出为低电平；施密特触发器采用低电压版的 74LVC14，供电电压为 1.2~3.6 V，最大信号输出电压为 5.5 V，利用施密特触发器状态转换过程中的正反馈作用，对脉冲信号进行整形。隔离调理电路设计如图 2 所示。

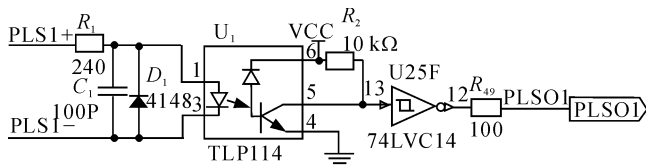


图 2 隔离调理结构框图

2.2 信号采集设计

采集卡的脉冲信号采集部分主要是将 32 路脉冲信号同时准确计数，并保证实时将各路脉冲数传送到上位机。通常典型的信号采集系统包括：调理电路、模拟多路开关(multiplexer, MUX)、测量放大器(instrumentation amplifier, IA)、采样保持放大器(sampling holder, SH)、模拟数字转换器(analog-to-digital conversion, ADC)。由于 FPGA 具有时钟频率高，内部时延小，速度快、效率高，组成形式灵活，可以集成外围控制、译码和接口电路等优点，FPGA 实现主控逻辑控制，将以往的软件控制转为硬件控制，响应速度快，效率高。因此针对所采脉冲信号特点，脉冲信号的采集采用脉冲累计计数法，采集的过程在 FPGA 内完成。

由于运载火箭地面测试设备对采集卡可靠性要求较高，根据市场调研及目前我国航天领域使用 FPGA 的情况，笔者选择 Actel 公司 ProASIC3 系列

208 管脚的 A3P600 芯片。ProASIC3 系列是 Actel 公司的第三代闪存 FPGA，具有安全、低耗、低成本等特点。ProASIC3 系列 FPGA 采用了先进的闪存技术，通过基于先进闪存的 130nm LVC MOS 处理器，可以实现再编程功能。FPGA 内脉冲信号采集部分结构如图 3 所示。

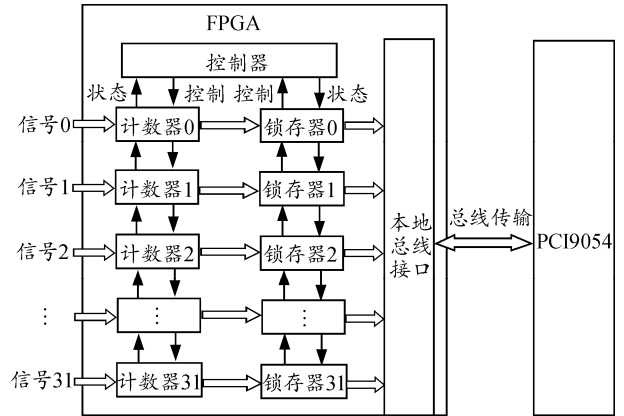


图 3 FPGA 脉冲信号采集模块结构框图

脉冲信号经过隔离调理后送入 FPGA 中，通过脉冲累计法测量脉冲个数。脉冲累计是指在一段较长的时间内，用计数器累计信号变化的次数。它与测频原理相同，只是主门开放的时间较长，门控电路的输入端改用人工进行控制，如图 4。当转动按钮 S1(启)时，门控电路时主门开放，被测信号通过主门进入计数累计器；待转动按钮 S2(停)时，门控电路翻回原来的状态，使主门关闭。在启、停时间内被测信号变化的次数便存储在计数累计器中。

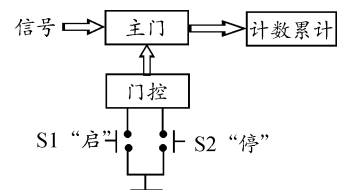


图 4 计数器原理框图

在实现脉冲信号的采集过程中，利用 VHDL 程序编写出多路计数器。单个计数器采用 16 bit(2 字节)宽度计数，逻辑控制器每隔 40 ms 将每个计数器中数据送到对应的锁存器中；为满足逻辑状态控制要求及后期的数据处理，锁存器收到计数器的 16 bit 数据后，在其高位再加上 16 bit，其中高 8 位用来表示通道号，低 8 bit 表示标志位；传输信号数据帧格式如表 1 所示；逻辑控制器将每个锁存器 32 bit 数据输出至 PCI9054，并控制 PCI9054 通过 CPCI 总线将数据及时传至上位机。

表 1 32 位传输信号数据帧格式

传输信号	数据帧格式	传输信号	数据帧格式
Bit23-31	通道号	Bit15-0	计数器值
Bit23-16	标志位		

2.3 CPCI 接口设计

CPCI 总线是采用了 PCI 总线的电气特性, 开发 CPCI 总线接口就是开发 PCI 总线的电气协议接口。PCI 总线协议比较复杂, 在工程应用中为实现 PCI 接口, 通常采用 FPGA/CPLD 实现, 或者是采用专用的接口芯片实现^[5]。笔者采用美国 PLX 公司的专用 PCI 总线接口芯片 PCI9054 来实现总线接口, 采用专用接口芯片实现协议控制接口难度较小、开发周期短, 用户只要设计专用接口芯片的本地总线, 即可转换为 PCI 总线。PCI9054 可以工作在 M、C、J 3 种模式下, 其中 M 模式专为 MOTOROLA 的 MCU 芯片设计; C 模式为地址/数据非复用模式; J 模式为地址/数据复用模式。

采集卡采用 C 模式, FPGA 对 PCI9054 进行逻辑控制。将 PCI9054 的 MODE0 与 MODE1 管脚置低电平即选择为 C 模式, 可方便地为本地总线各种时序工作。PCI9054 的工作在 C 模式下接口主要包括 3 个部分: PCI 总线接口连接部分、PCI9054 本地总线连接部分和串行 EEPROM 部分, 结构如图 5。

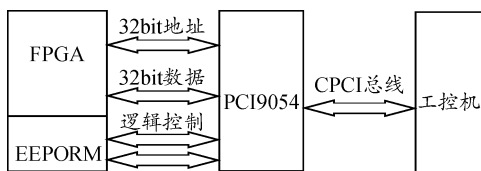


图 5 PCI9054 连接框图

采集卡需要传送数据时, PCI9054 首先收到 FPGA 发出占用请求信号 LHOLD, 然后向 FPGA 发出保持相应信号 LHOLDA 并向总线请求占用。在 PCI9054 收到总线准备好的信号 IRDY#后, 本地 FPGA 发出读写命令 LW/R 并给出字节使能信号 LBE[0:3], 在 FRAME#帧周期有效后开始传送地址和数据, FPGA 在最后一帧数据时向 PCI9054 给出 BIAST 信号, PCI9054 在收到信号后在下一帧完成信号传送, 并向总线发出传送完信号 STOP 并解除 FPGA 相应信号 LHOLDA, 整个数据传送完成。

具体相关电气连接在 PCI9054 的数据手册中描写较为详细, 但还必须注意以下问题:

1) 走线要求: CPCI 插槽边缘到 PCI9054 芯片的数据总线长度必须限制在 1 500 mil 以内, 时钟必

须走蛇形线且长度必须为 2 500 mil (±100 mil)。

2) 上下拉电阻: PCI9054 芯片较多管脚需要连接上下拉电阻, 以确保相关管脚的逻辑状态, 若为了简化去掉上下拉电阻, 可能会造成芯片在工作时状态不稳定^[6]。

3) EEPROM 配置: PCI9054 的芯片在没有配置 EEPROM 时会按照默认的方式启动, 启动后根据工作方式需要对 EEPROM 配置, 在配置 EEPROM 出现错误的话, 可能会导致计算机蓝屏, 采集卡不能正确启动。

3 系统测试

为便于验证设计方案, 将隔离调理模块与采集卡分离出, 设计成 2 块板卡, 如图 6 所示。经过上机测试, 隔离调理功能、信号采集, CPCI 传输功能满足设计要求。

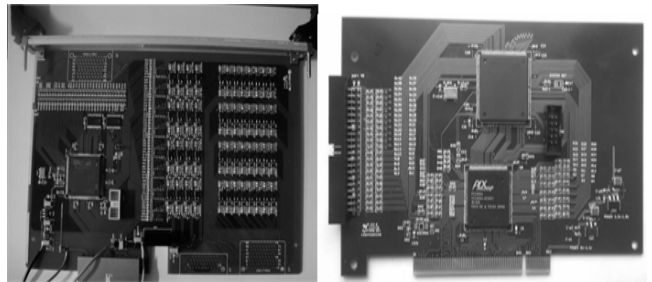


图 6 隔离调理与采集卡 PCB 设计图

4 结束语

与前几代运载火箭脉冲信号地面测试设备的结构相比, 该采集卡减小了体积和功耗, 增加了测试设备的集成度。在下一步的硬件开发中, 需要进一步对系统设计进行验证。该系统也可为其他相关信号的检测与采集设备的研发提供参考。

参考文献:

- [1] 同江, 蔡远文. 下一代自动测试系统在我国航天测试体系结构中的应用[J]. 航天控制, 2011, 29(2): 75-80.
- [2] 杨乐平. 测试技术[M]. 北京: 北京国防科工业出版社, 2002.
- [3] 陈新华, 杨森. 应用时域有限差分法分析火箭尾焰对测控信号的影响[J]. 四川兵工学报, 2010, 31(10): 15.
- [4] 沈兰荪. 高速数据采集系统的原理与应用[M]. 北京: 人民邮电出版社, 1995.
- [5] 朱永兴, 翁明远, 张波. 基于 CPCI 总线的数据采集与处理系统[J]. 计算机工程, 2008, (34)增刊: 4-7.
- [6] 尹勇, 李宇. PCI 总线设备开发宝典[M]. 北京: 北京航空航天大学出版社, 2005.