

doi: 10.7690/bgzdh.2015.05.013

一种弹体惯性姿态测量数据处理平台

杨浩澜¹, 姜栋梅², 李 瑾³

(1. 中国兵器工业第五八研究所特种电子技术部, 四川 绵阳 621000; 2. 中国兵器工业第五八研究所军品部, 四川 绵阳 621000; 3. 重庆军代局驻绵阳地区军代室, 四川 绵阳 621000)

摘要: 针对某弹体的惯性测姿系统设计存在数据量大、处理时间短的问题, 采用 DSP+FPGA 架构, 结合 FPGA 与 DSP 在不同算法处理上的优势, 设计并实现一种弹体惯性姿态测量数据处理平台。详细介绍数据输入输出、FPGA 处理、DSP 核心处理和电源管理系统主要组成部分的设计, 简述 PCB 设计中的处理和部分 FPGA 程序。实际测试结果表明: 该数据处理平台稳定性强、处理性能极好, 能够成功应用到某弹体的惯性测姿数据处理系统中, 具有很高的工程实用价值。

关键词: DSP; FPGA; CAN 总线; 256 字节 FIFO; 嵌入式计算机; 数据处理

中图分类号: TJ410.6 **文献标志码:** A

Data Processing Platform for Projectile Inertia Attitude Measurement

Yang Haolan¹, Jiang Dongmei², Li Cui³(1. Department of Special Electronic Technology, No. 58 Research Institute of China Ordnance Industry, Mianyang 621000, China;
2. Department of Military Products, No. 58 Research Institute of China Ordnance Industry, Mianyang 621000, China;
3. PLA Military Presentation Office in Mianyang District, PLA Military Representation Bureau of General Equipment Headquarters in Chongqing, Mianyang 621000, China)

Abstract: Aiming at the large amount of data and short processing time of certain type projectile inertia attitude measurement system, use DSP+FPGA architecture and combine the advantages of FPGA and DSP in algorithm processing, design and realize data processing platform for projectile inertia attitude measurement. Introduce data input and output, FPGA processing, DSP core processing, and power supply management system in detail. Briefly introduce PCB design processing and part of FPGA program. The real test results show that the data processing platform is stable with excellent processing performance. It can be successfully applied to the inertial attitude sensing data processing system in a projectile, with high practical value.

Keywords: DSP; FPGA; CAN bus; 256-byte FIFO; embedded computer; data processing

0 引言

很多弹体在投放后都是通过惯性导航来控制, 在惯性导航系统中实时产生的数据量很大, 却又需要快速处理这些数据, 用于随时给弹体姿态进行校正; 同时, 由于在弹上使用, 整个处理平台无法做到太大, 因此笔者设计并实现了一种弹体惯性姿态测量数据处理平台。该数据处理平台采用 DSP+FPGA 架构, 结合了 FPGA^[1]与 DSP^[2-3]在不同算法处理上的优势, 还具有高速数据传输电路, 能够实时快速地处理大量数据并具有体积小优势。

1 数据处理平台系统组成介绍

数据处理平台主要由高速数据输入输出模块、数据预处理模块、DSP 核心数据处理模块和电源管理模块 4 部分组成。

高速数据输入输出模块由 3 路 RS232 串口、2

路 RS422 串口和 1 路 CAN 通信接口等组成, 负责对外部进行数据传输。

数据预处理模块由 XCV300E-4PQ240I 与配置芯片构建, 该模块完成对 CAN 通信接口及串口输入数据的预处理并通过 EMIF 总线上传至 DSP, 同时对 DSP 发送的命令进行译码, 完成对其他模块的控制。

数据核心处理模块由 SM320C6713 与 FLASH (AM29LV033C)、SDRAM (MT48LC4M32B2) 组成, 主要完成对 FPGA 预处理后上传数据的处理、存储, 同时通过 FPGA 对其他模块进行配置操作。数据处理过程中, 由 DSP 对 FLASH 与 SDRAM 进行读写操作。

电源管理模块由电源管理芯片 TPS54310PWP 和 TPS76710QPWP 组成^[4], 为整个系统供电。

数据处理平台系统框图如图 1。

收稿日期: 2014-12-21; 修回日期: 2015-02-05

作者简介: 杨浩澜(1985—), 男, 重庆人, 本科, 助理工程师, 从事嵌入式计算机研究。

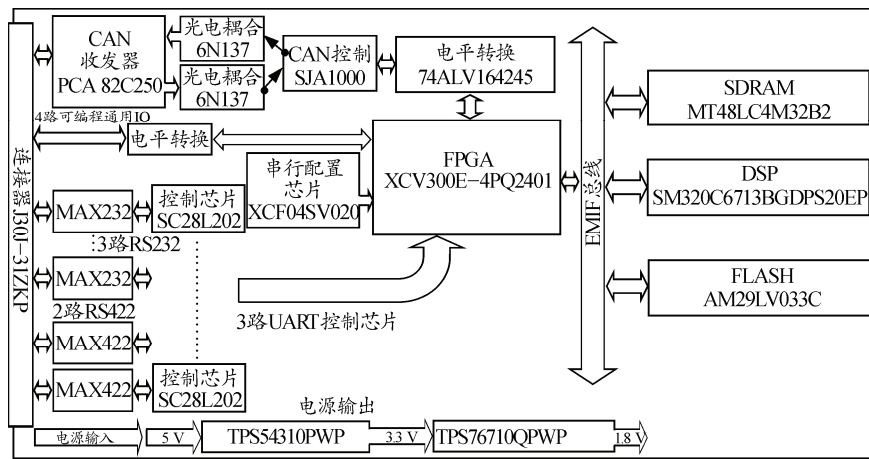


图 1 数据处理平台系统框图

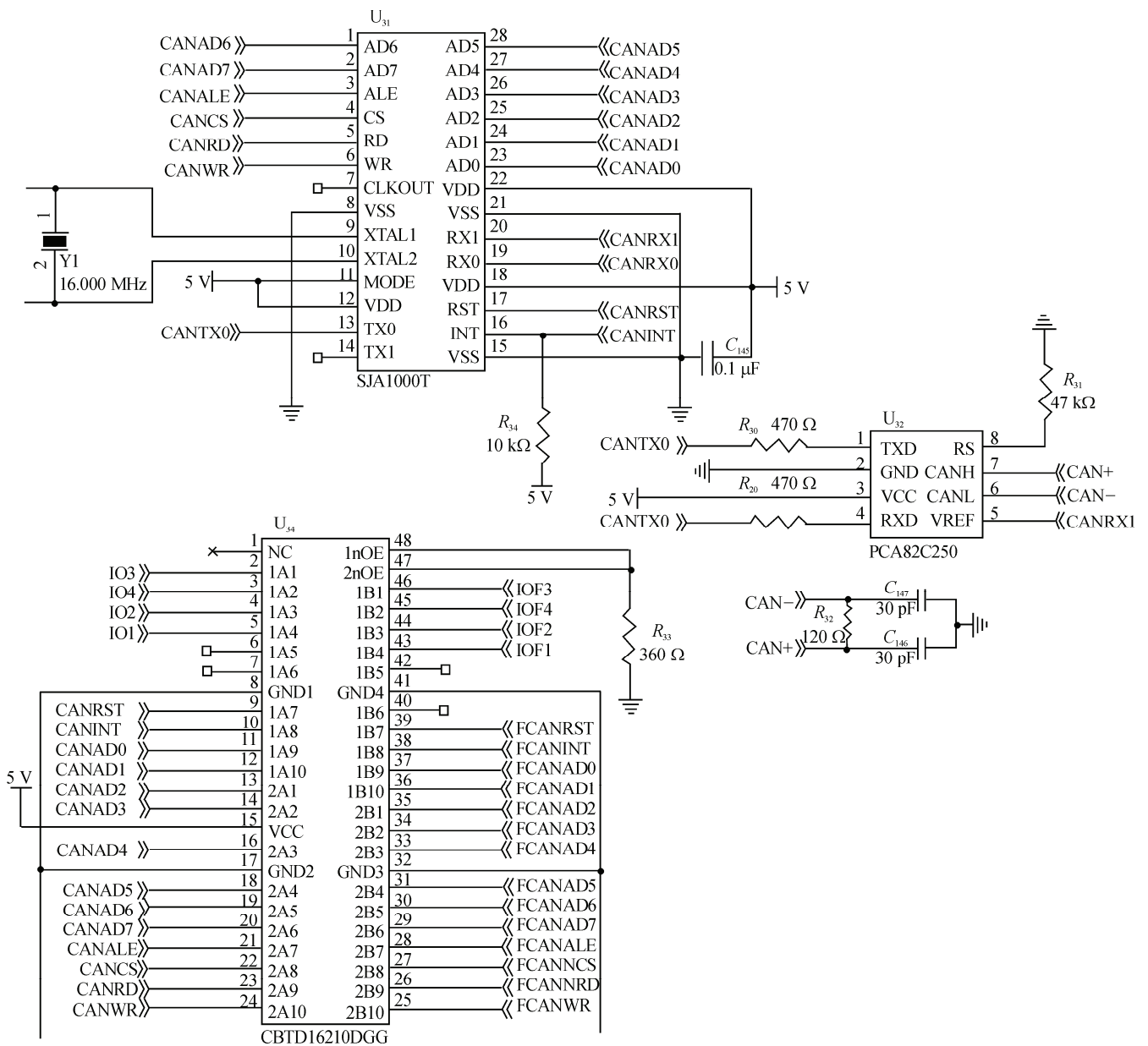


图 2 CAN 通信接口部分设计原理

2 高速数据传输模块

2.1 CAN 通信接口的设计

CAN 通信接口^[5]的设计选用运用技术非常成熟的 CAN 收发芯片 PCA82C250 和 CAN 控制芯片 SJA1000。PCA82C250 工作电压为 4.5~5.5 V, 工作频率为 0~1 MHz, 具有独特防失效功能, 支持安全高频数据传输, 速率达到 1 Mbit/s。笔者选用了 6N137 对输入输出进行光电隔离。SJA1000 工作电压为 4.5~5.5 V, 工作频率为 24 MHz, 兼容 CAN2.0B 协议, 同时支持 11 位和 29 位识别码, 位速率可达 1 Mbit/s, 可编程的 CAN 输出驱动器配置及错误报警限制。由于 CAN 总线控制器 SJA1000 的 TTL 电源为 5 V, 与 XQV300-4CB228N 的 I/O 脚 3.3 V 电源不符, 所以选用了电平转换芯片 74ALV164245 将 SJA1000 的 TTL 电平转为 3.3 V 与 FPGA 连接。FPGA 配置 2 个 I/O 与 74ALV164245 的 DIR1 和 DIR2 连接, 以控制 74ALV164245 的输出或输入状态。SJA1000 的片选信号 CS、地址锁存信号 ALE、读写控制信号 WR 和 RD、数据线 AD0~AD7 通过电平转换芯片转为 3.3 V 电平后与 FPGA 配置好的管脚相连, FPGA 使能 ALE 为高时, 寄存器地址作为数据写入, 然后使能 ALE 为低锁存地址, 同时使能片选信号为低, 使能 WR 或 RD 控制数据的读写, FPGA 读取 SJA1000 内中断寄存器后判断, 然后读取 SJA1000 内部接收缓冲器中数据或向发送缓冲器中写入数据。外部数据经过 PCA82C250 转换后经 6N137 进行光电隔离, 传输入 SJA1000 的 RX0 端, FPGA 通过数据线上转换过的 TTL 电平信号读取 SJA1000 内的接收缓冲器内数据; FPGA 发送的数据经过电平转换后通过数据线写入 SJA1000 内发送缓冲器, SJA1000 通过 TX0 端发送数据, 数据进行光电隔离后经 PCA82C250 转换为 CAN 通信接口数据向外发送。CAN 通信接口部分设计原理图如图 2。

2.2 可编程通用 I/O 接口设计

数据处理平台设计了 4 路可编程通用 IO 接口, 通过电平转换芯片将 4 路+5 V 可编程通用 IO 电平转换为 3.3 V 电平, 然后连接至 FPGA 配置好的 4 路 I/O 口, FPGA 内部用程序设置一个中断控制器, 4 路 I/O 口其中 1 路为 GPS 秒脉冲输入信号, 另 3 路为串口中断信号。可编程通用 I/O 接口的设计方便了外部设备对数据处理平台的操控。

2.3 串口的设计

串口的设计选用了 UART 系列控制芯片 SC28L202, SC28L202 是 2 路全双工独立异步接收器/发送器, 每个接收器/发送器具有 256 个字符的 FIFO, 消除了接收器超时的情况, 流控制功能可以在接收器缓冲区已满时禁能远程发送器, +3.3 V 的单电源电压。通过 FPGA+ 控制芯片 SC28L202+MAX422 和 MAX232 构成 2 路 RS422 串口和 3 路 RS232 串口。SC28L202 的 WRN、RDN 与 FPGA 配置好的 ARE、AWE 连接以进行读写选通, SCLK 连接 FPGA 分频出来的频率, SC28L202 的数据线 D0~D7、地址线 A0~A6 与 FPGA 配置的对数据总线、地址总线连接, 在读写选通的情况下, FPGA 发送的并行数据通过总线发送给 SC28L202 或者通过总线接收 SC28L202 发送过来的并行数据, 在读选通的情况下, 串口数据通过 MAX422 或 MAX232 进行 TTL 电平转换, 然后发送给 SC28L202, SC28L202 将串行数据串并转换, 生成并行数据发送给 FPGA, FPGA 通过总线接收; 在写选通的情况下, FPGA 发送的并行数据通过总线发送给 SC28L202, SC28L202 将并行数据串并转换后发送给 MAX422 或 MAX232 进行电平转换, 然后向外部设备发送。

FPGA 内部 RAM 配置 FIFO 尺寸大于 256 Byte, FPGA 内部通过配置 DCM 设置一波特率发生器, 将频率分频, 分频频率可调, 最大波特率可达到 230.4 K; 通过 FPGA 配置收发位数及 I/O 端口数达到通信位数可调。

串口部分设计原理图如图 3。

3 数据预处理模块

数据预处理模块由 FPGA 芯片 XCV300E-4PQ240I 与串行配置芯片 XCF04SV020 组成, 该 FPGA 芯片的 Block RAM bits 为 64 K, 可配置的 FIFO 尺寸大于 256 Byte, I/O 脚数可达到 166 个; 配置芯片最大可存储 4 Mb 配置程序。

FPGA 程序在编写完成后通过串行配置芯片引出的 JTAG 仿真接口进行下载, 并存储在配置芯片中, 在系统启动时串行配置芯片 XCF04SV020 自动对 XCV300E-4PQ240I 进行程序的配置。同时设计了配置指示部分, 在串行配置芯片对 FPGA 进行配置的时候, 配置指示灯进行闪烁, 配置完成后, 配置指示灯自动熄灭。

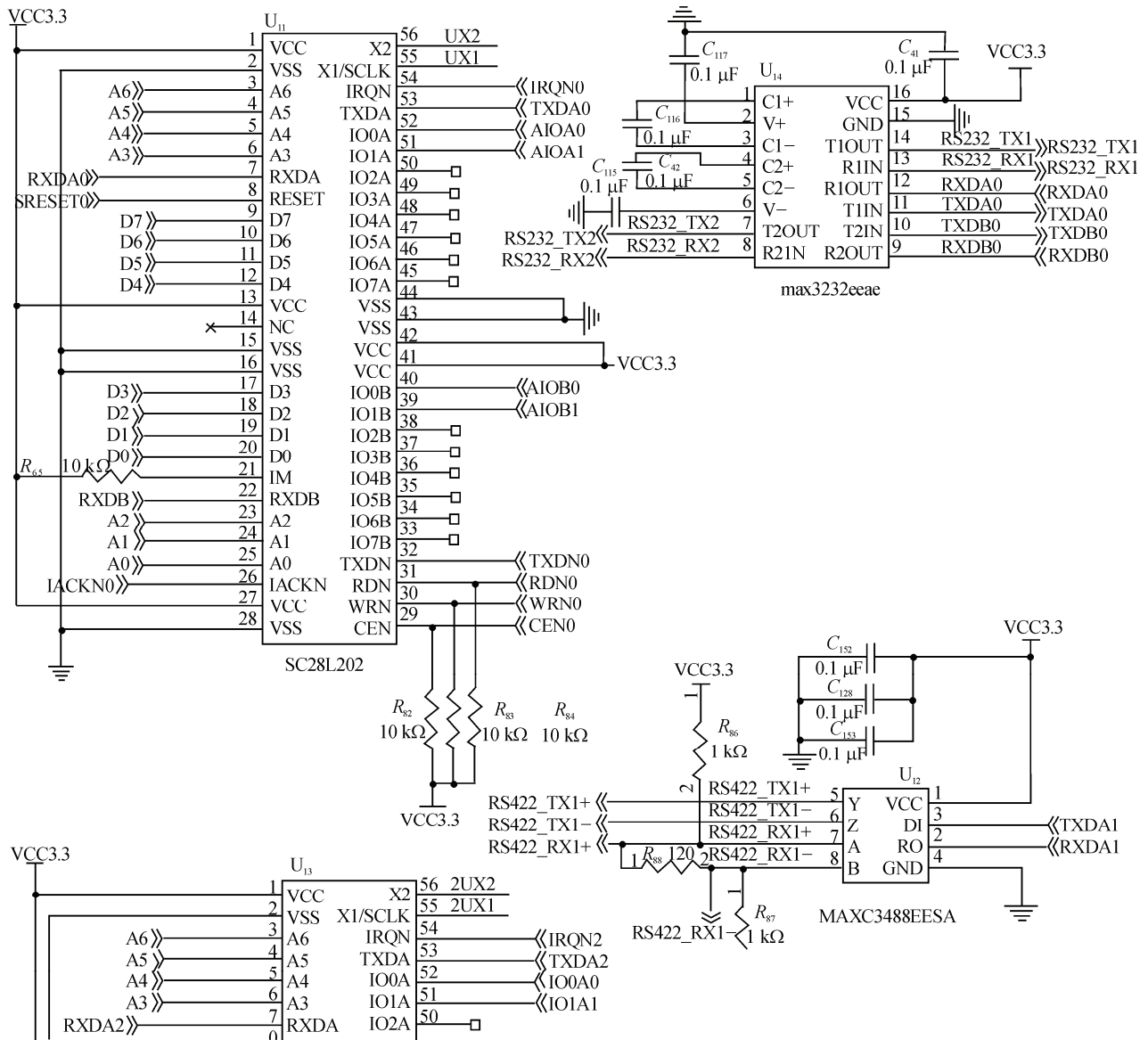


图 3 串口部分设计原理

FPGA 分配了 36 个 I/O 接口作为与 DPS 连接的数据总线和地址总线，FPGA 与 DSP 之间可直接与 EMIF 相连接；FPGA 内部配置一个 4 输入中断控制器用于接收 3 路串口中断和 1 路 GPS 中断，并且配置 4 路 I/O 与 DSP 连接用于发送中断信号，DSP 接收 FPGA 产生的中断后，同时读取 FPGA 内部中断控制状态寄存器来响应相应中断服务函数。

FPGA 配置部分 I/O 口作为数据传输总线接口和控制接口，分别对应连接 UART 控制器、CAN 控制器等设备。数据传输等模块的下位请求先输入至 FPGA，由 FPGA 进行判断后通过中断控制器发送给 DSP 中断请求，等待 DSP 响应命令后，发送命令至 FPGA，由 FPGA 控制数据传输等模块对外部数据进行选择并接收。FPGA 接收外部数据后，进

行初步处理并通过 EMIF 总线传送给 DSP 进行存储或做下一步处理。

数据预处理模块部分原理图如图 4。

4 数据核心处理模块

数据核心处理模块由 DSP 核心处理器、稳态存储模块 (FLASH) 和高速缓存模块 (SDRAM) 组成，完成对数据的最终处理与存储及对 FPGA 的操作。

4.1 核心处理器

数据核心处理模块通过 DSP 芯片 SM320C6713BGDPS20EP 实现高速数据处理，该芯片为 6 ns 指令周期时间，167 MHz 时钟速率，具有 32-Bit EMIF，同时具有 3.3 V I/Os，内核电压最低可为 1.8 V；峰值运算能力可达 2 400 MIPS/1 800

MFLOPS, 超强的浮点运算能力可快速完成测量数据

据的处理。

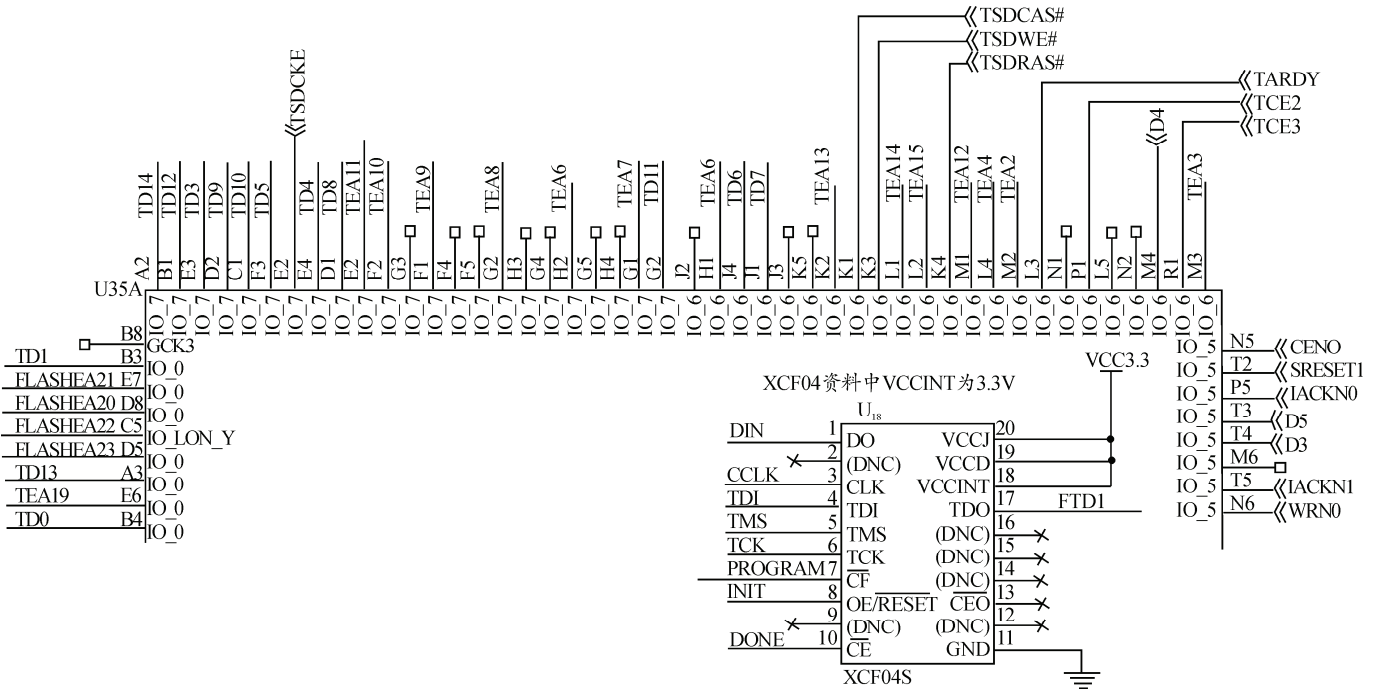


图 4 数据预处理模块部分原理

为了方便核心处理模块的程序调试, 数据处理平台专门设计了 1 路 JTAG 仿真接口用于数据核心处理模块的调试, 由连接器直接引出 DSP 的 TMS 脚、TRST 脚、TDI 脚、TDO 脚和 TCLK 脚, 调试程序通过仿真接口下载, 并由 DSP 通过 EMIF 总线传输至 SDRAM 内。

DSP 通过 EMIF 总线和 FPGA 通信, DSP 的数据总线和地址总线与 FPGA 配置好的数据总线和地址总线相连, 并且将 DSP 的片选信号 CE2、CE3 引入了 FPGA, 其他的片选信号分别分配给 SDRAM 和 FLASH。DSP 与 FPGA 之间还有 CLKOUT2、ARE、AOE、AWE 以及 4 个中断引脚等信号线相连。DSP 通过 EMIF 总线及引出至 FPGA 的信号线对 FPGA 内配置的相应模块发送指令从而对数据传输等模块进行管理。DSP 只负责操控 FPGA 和处理经过 FPGA 初步处理后所传输过来的数据。

4.2 稳态存储模块

稳态存储模块选用 NOR FLASH AM29LV033C 构建, NOR FLASH 的反应速度大大高于 NAND FLASH, AM29LV033C 具有 4 M x 8-Bit 共 32 M 容量, 架构科学灵活, 采用 0.32 μm 技术, 具有低功耗、宽温度和电压工作环境、高反应速度和强兼容性 (JEDEC 国际标准) 的特点, 3.3 V 电平 I/O 可通过数据总线及地址总线直接和 SM320C6713 的 EMIF 总线连接, 加上掉电后也能够完整保存数据

的特性, 为 SM320C6713 提供了可靠高速的程序及数据存储能力。

FLASH 芯片的数据线 D0~D7、地址线 A0~A19 与 EMIF 总线连接, 读写控制管脚 OE、WE 连接至 DSP 的 ARE、AWE 脚, CE 与 DSP 分配给 FLASH 的 CE 脚连接, 通过对 OE、WE、CE 的使能控制 FLASH 内数据的读写, 通过地址线 A0~A19 与数据线 D0~D7 完成寻址与数据传输功能。系统上电后, DSP 直接从 FLASH 加载程序进缓存中进行运行。

4.3 高速缓存模块

高速缓存模块选用 SDRAM 芯片 MT48LC4M32B2 构建, 该芯片为广泛应用的内存解决方案, 技术成熟, 具有强兼容性、大容量和低功耗的特点, 具有 32 M 存储空间, 为 SM320C6713 提供高速缓存, 工作频率为 7 ns(143 MHz), 工作电压为 3.3 V, Single 电压为(3.3±0.3) V, 可直接与 SM320C6713 相连接。SDRAM 的数据总线 D0~D31、地址总线 A0~A11 通过 EMIF 总线与 DSP 的 EMIF 口连接, 信号线 CS、RAS、CAS、WE 分别与 DSP 的 CE、AOE、ARE、AWE 相连, DSP 通过对片选、读写选通口的使能控制达到通过数据及地址总线对 SDRAM 进行读写操作的目的, 让 SDRAM 为其提供高速缓存的作用。

数据核心处理模块部分电路图如图 5。

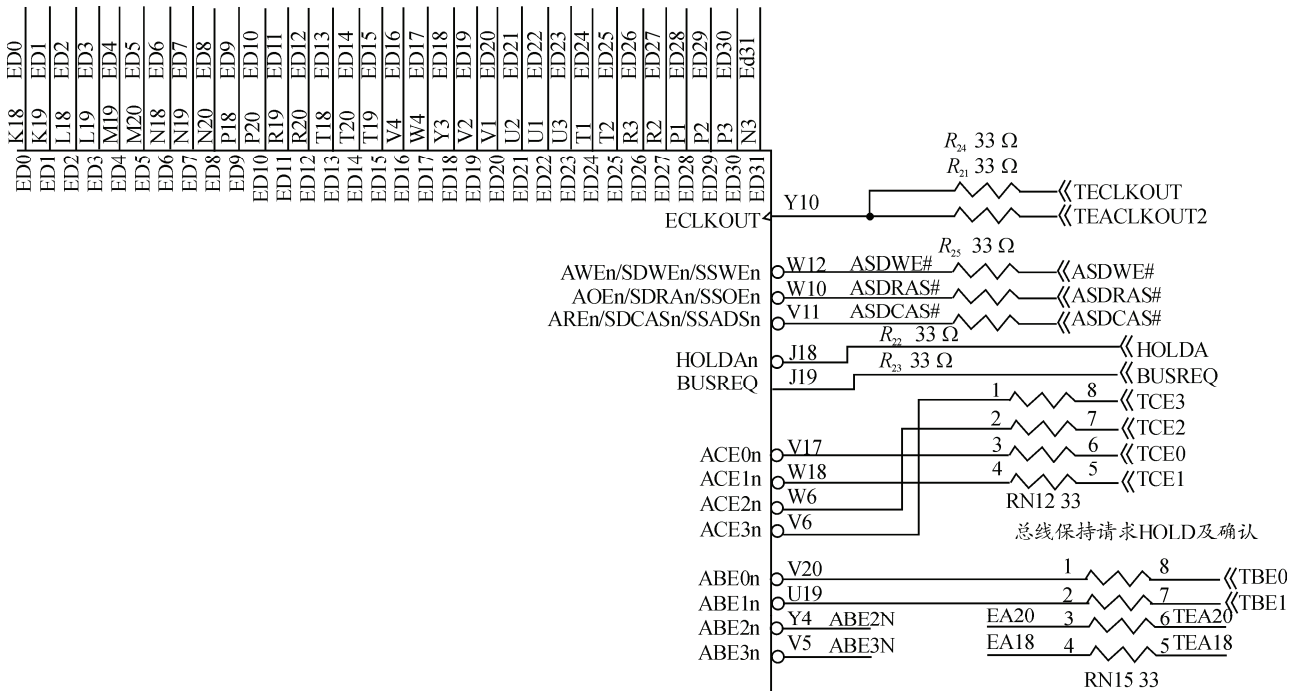


图 5 数据核心处理模块部分电路

5 电源管理模块

数据处理平台通过+5 V 输入电压供电。+5 V 输入电压由电源芯片 TPS54310PWP 转为+3.3 V 直流电压,通过电源芯片 TPS76710QPWP 将+3.3 V 转为+1.8 V 电压,共有+5 V、隔离 5 V、+3.3 V 和+1.8 V 为数据处理平台供电。

6 FPGA 程序设计

FPGA 程序实现了数据初步处理与外围模块操作功能。当数据输入时, FPGA 需对外围模块的中断请求进行处理,并且向 DSP 发送中断请求,待 DSP 响应后,由 FPGA 选择对应模块接收数据,并进行初步处理,完成后发送给 DSP;当数据输出时,由 DSP 对 FPGA 发送命令, FPGA 解析命令后,接收 DSP 传输的数据,并控制相应模块传输输出数据。

数据输入程序框图如图 6。

7 PCB 设计

考虑到数据处理平台工作时所处环境的复杂性,在 PCB 设计时加强了对高速信号处理芯片(如 CPU、FPGA 等)电源的去耦滤波处理,对于大功率器件也考虑了大面积铺铜以增强器件的散热性。同时在 PCB 布线时尽量用直线,需要转折时采用 45°折线或圆弧转折,可减少高频信号对外的发射和相互之间的耦合。高频电路器件的管脚间引线越短越好,引线越长,带来的分布电感和电容值越大,会影响系统的高频信号的传输,同时也会改变电路

的特性阻抗,导致系统发生反射、震荡等。

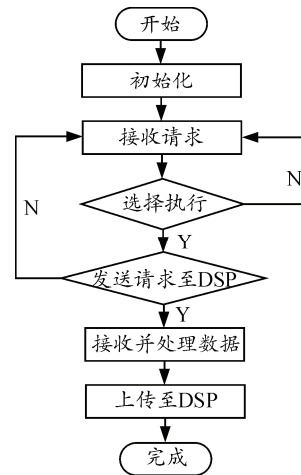


图 6 数据输入程序框图

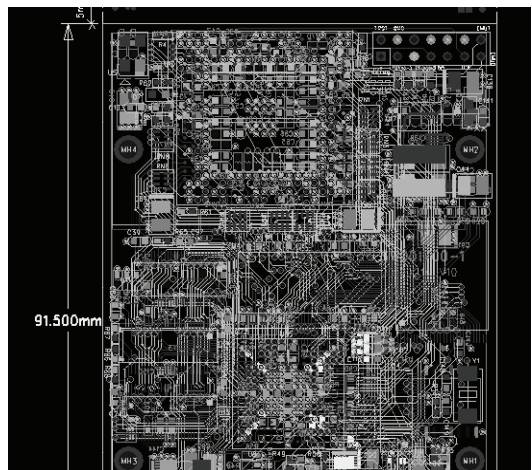


图 7 部分 PCB 设计